



1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] Two or more semiconductor chips mounted by keeping predetermined spacing toward said 1st side side and the 2nd side side which counters from the 1st side side of said one principal plane on the 1 principal plane of a substrate. Arrange inside the cavity of shaping metal mold with said substrate, and resin is poured into the interior of said cavity toward the 2nd side side after that from the 1st side side of one principal plane of said substrate. The manufacture approach of the semiconductor device characterized by having had the process which forms the resin seal object which carries out package closure of said two or more semiconductor chips, and having further the process which removes the impurity which remains to one principal plane of said substrate before the process which forms said resin seal object.

[Claim 2] The process which removes the impurity which remains to one principal plane of said substrate in the manufacture approach of a semiconductor device according to claim 1 is the manufacture approach of the semiconductor device characterized by carrying out by the plasma cleaning method.

[Claim 3] It is the manufacture approach of the semiconductor device characterized by being what carries out surface roughening of the one principal plane of said substrate while removing the impurity with which said plasma cleaning method remains to one principal plane of said substrate in the manufacture approach of a semiconductor device according to claim 3.

[Claim 4] The process which removes the impurity which is equipped with the process which mounts two or more of said semiconductor chips on the 1 principal plane of said substrate, and remains at one principal plane of said substrate before the process which forms said resin seal object further in the manufacture approach of a semiconductor device according to claim 1 is the manufacture approach of the semiconductor device characterized by to carry out before the process which is after the process which mounts two or more of said semiconductor chips, and forms said resin seal object.

[Claim 5] The process which mounts said two or more semiconductor chips in the manufacture approach of a semiconductor device according to claim 4 is the manufacture approach of the semiconductor device characterized by including the process which connects electrically the connection formed in one principal plane of said wiring substrate at one principal plane of the process which carries out adhesion immobilization of said semiconductor chip, the electrode pad formed in one principal plane of said semiconductor chip, and said wiring substrate by the bonding wire.

[Claim 6] The manufacture approach of the semiconductor device characterized by having the process which removes the impurity which remains on the front face of the electrode pad of said semiconductor chip, and the front face of the connection of said substrate by the plasma cleaning

method before the process which is after the process which carries out adhesion immobilization, and connects said semiconductor chip electrically by said bonding wire further in the manufacture approach of a semiconductor device according to claim 5.

[Claim 7] It is the manufacture approach of the semiconductor device characterized by said substrate being a resin substrate in the manufacture approach of a semiconductor device according to claim 1.

[Claim 8] It is the manufacture approach of the semiconductor device characterized by said substrate having the resin film in the one principal plane in the manufacture approach of a semiconductor device according to claim 1.

[Claim 9] The two sides where said semiconductor chip is formed by the shape of a rectangle in the manufacture approach of a semiconductor device according to claim 1, and a flat surface counters mutually [ said semiconductor chip ] are the manufacture approaches of the semiconductor device characterized by crossing to the direction of grouting of said resin.

[Claim 10] It is the manufacture approach of the semiconductor device characterized by mixing many fillers in the manufacture approach of a semiconductor device according to claim 1, as for said resin.

[Claim 11] Said resin is the manufacture approach of the semiconductor device characterized by being thermosetting resin of an epoxy system with which many fillers were mixed in the manufacture approach of a semiconductor device according to claim 1.

[Claim 12] The manufacture approach of the semiconductor device characterized by having further the process which divides said resin seal object and said substrate for said every semiconductor chip in the manufacture approach of a semiconductor device according to claim 1 after the process which forms said resin seal object.

[Claim 13] Two or more semiconductor chips mounted by keeping predetermined spacing toward said 1st side side and the 2nd side side which counters from the 1st side side of said one principal plane on the 1 principal plane of a substrate are arranged inside the cavity of shaping metal mold with said substrate. Then, resin is poured into the interior of said cavity toward the 2nd side side from the 1st side side of one principal plane of said substrate. The manufacture approach of the semiconductor device characterized by having had the process which forms the resin seal object which carries out package closure of said two or more semiconductor chips, and having further the process which performs a surface roughening process to one principal plane of said substrate before the process which forms said resin seal object.

[Claim 14] It is the manufacture approach of the semiconductor device characterized by performing said surface roughening process by the plasma cleaning method in the manufacture approach of a semiconductor device according to claim 13.

[Claim 15] It is the manufacture approach of the semiconductor device characterized by being what carries out surface roughening of the one principal plane of said substrate while removing the impurity with which said plasma cleaning method remains to one principal plane of said substrate in the manufacture approach of a semiconductor device according to claim 14.

[Claim 16] The process which is equipped with the process which mounts two or more of said semiconductor chips, and performs said surface roughening process on the 1 principal plane of said wiring substrate before the process which forms said resin seal object further in the manufacture approach of a semiconductor device according to claim 13 is the manufacture approach of the semiconductor device characterized by to carry out before the process which is after the process which mounts two or more of said semiconductor chips, and forms said resin seal object.

[Claim 17] The process which mounts said two or more semiconductor chips in the manufacture approach of a semiconductor device according to claim 16 is the manufacture approach of the semiconductor device characterized by including the process which connects electrically the connection formed in one principal plane of said wiring substrate at one principal plane of the process which carries out adhesion immobilization of said semiconductor chip, the electrode pad formed in one principal plane of said semiconductor chip, and said wiring substrate by the bonding wire.

[Claim 18] The manufacture approach of the semiconductor device characterized by having the process which performs washing processing to the front face of the electrode pad of said semiconductor chip, and the front face of the connection of said substrate by the plasma cleaning method before the process which is after the process which carries out adhesion immobilization, and connects said semiconductor chip electrically by said bonding wire further in the manufacture approach of a semiconductor device according to claim 17.

[Claim 19] It is the manufacture approach of the semiconductor device characterized by said substrate being a resin substrate in the manufacture approach of a semiconductor device according to claim 13.

[Claim 20] It is the manufacture approach of the semiconductor device characterized by said substrate having a resin layer in the one principal plane in the manufacture approach of a semiconductor device according to claim 13.

[Claim 21] The two sides where said semiconductor chip is formed by the shape of a rectangle in the manufacture approach of a semiconductor device according to claim 13, and a flat surface counters mutually [ said semiconductor chip ] are the manufacture approaches of the semiconductor device characterized by crossing to the direction of grouting of said resin.

[Claim 22] It is the manufacture approach of the semiconductor device characterized by mixing many fillers in the manufacture approach of a semiconductor device according to claim 13, as for said resin.

[Claim 23] Said resin is the manufacture approach of the semiconductor device characterized by being thermosetting resin of an epoxy system with which many fillers were mixed in the manufacture approach of a semiconductor device according to claim 13.

[Claim 24] The manufacture approach of the semiconductor device characterized by having further the process which divides said resin seal object and said substrate for said every semiconductor chip in the manufacture approach of a semiconductor device according to claim 13 after the process which forms said resin seal object.

[Claim 25] Two or more 1st semiconductor chips mounted by keeping predetermined spacing toward said 1st side side and the 2nd side side which counters from the 1st side side of said one principal plane on the 1 principal plane of a substrate, Two or more 2nd semiconductor chips by which the laminating was carried out on said each 1st semiconductor chip, respectively Arrange inside the cavity of shaping metal mold with said substrate, and resin is poured into the interior of said cavity toward the 2nd side side after that from the 1st side side of one principal plane of said substrate. The manufacture approach of the semiconductor device characterized by having had the process which forms the resin seal object which carries out package closure of said two or more semiconductor chips, and having further the process which removes the impurity which remains to one principal plane of said substrate before the process which forms said resin seal object.

[Claim 26] The process which removes the impurity which remains to one principal plane of said substrate in the manufacture approach of a semiconductor device according to claim 25 is the

manufacture approach of the semiconductor device characterized by carrying out by the plasma cleaning method.

[Claim 27] Two or more 1st semiconductor chips mounted by keeping predetermined spacing toward said 1st side side and the 2nd side side which counters from the 1st side side of said one principal plane on the 1 principal plane of a substrate, Two or more 2nd semiconductor chips by which the laminating was carried out on said each 1st semiconductor chip, respectively Arrange inside the cavity of shaping metal mold with said substrate, and resin is poured into the interior of said cavity toward the 2nd side side after that from the 1st side side of one principal plane of said substrate. The manufacture approach of the semiconductor device characterized by having had the process which forms the resin seal object which carries out package closure of said two or more semiconductor chips, and having further the process which performs a surface roughening process to one principal plane of said substrate before the process which forms said resin seal object.

[Claim 28] It is the manufacture approach of the semiconductor device characterized by performing said surface roughening process by the plasma cleaning method in the manufacture approach of a semiconductor device according to claim 27.

---

[Translation done.]

\* NOTICES \*

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention is applied to the manufacturing technology of the semiconductor device which adopts the package closure method by the transfer mold method about the manufacturing technology of a semiconductor device, and relates to an effective technique.

[0002]

[Description of the Prior Art] In manufacture of a semiconductor device, package closure of two or more semiconductor chips mounted on the 1 principal plane of a substrate is carried out with one resin seal object, and the method of dividing and manufacturing a resin seal object and a substrate to coincidence for every (every product) semiconductor chip is learned after that. About this manufacture, it is indicated by the JP,8-107161,A (well-known reference 1) list at JP,2000-12578,A (well-known reference 2), for example. Moreover, the approach of forming in the well-known reference 1 the resin seal object which carries out package closure by the potting method is indicated, and the approach of forming in the well-known reference 2 the resin seal object which carries out package closure by the transfer mold method is indicated.

[0003]

[Problem(s) to be Solved by the Invention] this invention person etc. found out the following troubles, as a result of examining how (it is hereafter called a transfer mold package closure method) to form the resin seal object which carries out package closure by the transfer mold method.

[0004] Drawing 23 thru/or drawing 26 are drawings ((A) is a typical top view and (B) is a typical sectional view) showing the flow of the resin when forming a resin seal object by the transfer mold package closure method in manufacture of the conventional semiconductor device. drawing 23 R> 3 thru/or drawing 26 -- setting -- 60 -- a substrate and 60X -- one principal plane of a substrate 60, and 61 -- a semiconductor chip and 62 -- shaping metal mold and 62A -- the punch of the shaping metal mold 62, and 62B -- the female mold of the shaping metal mold 62, and 63 - for a runner and 66, an air vent and 67A are [ a cavity and 64 / the gate and 65 / a void and S of resin and 67B ] the directions of grouting of resin.

[0005] The transfer mold package closure method is adopted as manufacture of the BGA (Ball Grid Array) mold semiconductor device of the package structure of having a substrate, a CSP (Chip Size Package or Chip Scale Package) mold semiconductor device, etc. In manufacture of this kind of semiconductor device, as shown in drawing 23 , in order to use the substrate 60 which two or more product formation field 60A kept predetermined spacing in 1 principal-plane 60X, and has been arranged in the shape of a matrix, two or more semiconductor chips 61 mounted in the substrate 60 also keep predetermined spacing, and are arranged in the shape of a matrix.

[0006] By the transfer mold package closure method, as shown in this drawing, the shaping metal mold 62 equipped with a cavity 63, the gate 64, a runner 65, cull (not shown), the pot (not shown), and the air vent 66 grade is used, and resin 67A is poured into the interior of a cavity 63 through cull, a runner 65, and the gate 64 from a pot.

[0007] As a substrate 60, since a rectangle-like thing is used for a flat surface, corresponding to this, the flat-surface configuration of a cavity 63 also usually becomes rectangle-like. In this case, since two or more gates 64 are established in one long side side of the two long sides where a cavity 63 counters mutually along the long side of one of these so that homogeneity may be filled up with resin 67A over the whole region inside a cavity 63, resin 67A is poured into the interior of a cavity 63 toward the long side side of another side from one long side side of a substrate 60.

[0008] Thus, resin 67A poured into the interior of a cavity 63 flows toward the long side side of another side from one long side side of a substrate 60, as shown in drawing 23 thru/or drawing 25 , and as shown in drawing 26 , the interior of a cavity 63 is filled up with it.

[0009] By the way, resin 67A poured into the interior of a cavity 63 flows along one principal plane and side face of a semiconductor chip 61. Although resin 67A which flows along one principal plane and side face of a semiconductor chip 61 flows in between semiconductor chips 61, since resin 67A which flows along with one principal plane of a semiconductor chip 61 has flow barred by the semiconductor chip 61, the rate of flow is slower than resin 67A which flows along the side face of a semiconductor chip 61. For this reason, void 67B occurs in the place (refer to drawing 25 ) at which resin 67A which flows along with one principal plane of a semiconductor chip 61, and resin 67A which flows along the side face of a semiconductor chip 61 cross. Although it becomes small gradually while this void 67B moves by the flow of resin 67A in a resin impregnation process, void 67C will remain in the place (refer to drawing 26 ) which serves as a shadow with a semiconductor chip 61 to the direction of grouting S of resin

61A. By the transfer mold method, after restoration of resin is completed, the process which makes small the void which applied the pressure higher than the pressure at the time of impregnation, and was involved in into resin is given, but even if this process is given, since it is quite larger than the void of extent which does not cause a popcorn phenomenon at the time of a heat cycle test, void 67C becomes the factor which reduces the yield of a semiconductor device.

[0010] Using thixotropic low mold material for the above-mentioned well-known reference 1 (JP,8-107161,A) as a means which prevents generating of the non-filling section, and using vacuum degassing together further in the aforementioned case are indicated. However, in the transfer mold method, the problem of void generating is unsolvable by applying said means.

[0011] When adopting the transfer mold method, the flow of resin is controlled by impregnation from the gate. So, the air in a cavity can be eliminated from an air vent until it fills up with resin into a cavity by preparing an air vent in the gate, the location which counters, and the field to which it fills up with resin at the end.

[0012] However, in the transfer mold method, if thixotropy is reduced to extent with which the flow of resin is governed by thixotropy or grouting velocity of resin is made low, control of the flow of resin will become difficult and it will become impossible substantially to set up the location of the air event which is BE \*\* prepared in the field to which it fills up with resin at the end.

[0013] Therefore, in the transfer mold method, it is impossible by adopting a thixotropic low object as resin to control the condition of the impregnation process of resin and to lose the contamination of a void as a matter of fact.

[0014] Moreover, it aims at reducing the curvature by hardening contraction of closure resin, and reducing the stress which uses the coefficient of thermal expansion of resin as a semiconductor chip and a near object for the purpose of making a dicing process easy, or is applied to a semiconductor chip at the time of a heat cycle. Since thixotropy becomes high by existence of a filler even when a lot of fillers (for example, 80% or more) are added to closure resin, and the low object of CHISO nature is adopted as mold material, thixotropy with low extent which solves the contamination of a void cannot be obtained.

[0015] Moreover, in the transfer mold method, although it is possible to adopt the means of vacuum degassing which eliminates air bubbles out of resin by placing the semiconductor device of the condition before resin hardening into the ambient atmosphere where an atmospheric pressure is low, since impregnation and hardening of resin are perform within a cavity, the approach of reducing a void by the vacuum degassing method is not employable [ after potting ] in the potting method.

[0016] Since it is such and generating of a void cannot be prevented by applying the technique indicated by the well-known reference 1 in the transfer mold method, it is necessary to adopt an approach new as a cure against a void.

[0017] Then, since void 67B contacted one principal plane of a substrate 60 and remained as shown in drawing 26 , this invention person etc. perceived the wettability of resin 67A to one principal plane of a substrate 60, and accomplished this invention.

[0018] The purpose of this invention is to offer the technique which can aim at improvement in the yield of a semiconductor device. As new along [ said ] this invention a description as the other purposes will become clear by description and the accompanying drawing of this specification.

[0019]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly

explained among invention indicated in this application.

(1) Two or more semiconductor chips mounted by keeping predetermined spacing toward said 1st side side and the 2nd side side which counters from the 1st side side of said one principal plane on the 1 principal plane of a substrate Arrange inside the cavity of shaping metal mold with said substrate, and resin is poured into the interior of said cavity toward the 2nd side side after that from the 1st side side of one principal plane of said substrate. It is the manufacture approach of the semiconductor device characterized by having had the process which forms the resin seal object which carries out package closure of said two or more semiconductor chips, and having further the process which removes the impurity which remains to one principal plane of said substrate before the process which forms said resin seal object. The process which removes the impurity which remains to one principal plane of said substrate is performed by the plasma cleaning method.

[0020] (2) Arrange two or more semiconductor chips mounted by keeping predetermined spacing toward said 1st side side and the 2nd side side which counters from the 1st side side of said one principal plane on the 1 principal plane of a substrate inside the cavity of shaping metal mold with said substrate. Then, resin is poured into the interior of said cavity toward the 2nd side side from the 1st side side of one principal plane of said substrate. It is the manufacture approach of the semiconductor device characterized by having had the process which forms the resin seal object which carries out package closure of said two or more semiconductor chips, and having further the process which performs a surface roughening process to one principal plane of said substrate before the process which forms said resin seal object. Said surface roughening process is performed by the plasma cleaning method.

[0021]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing. In addition, in the complete diagram for explaining the gestalt of implementation of invention, what has the same function attaches the same sign, and explanation of the repeat is omitted.

[0022] (Operation gestalt 1) This operation gestalt explains the example which applied this invention to the semiconductor device of a BGA mold. Drawing 1 is drawing (typical sectional view where the typical top view in the condition that (A) removed the resin seal object, and (B) meet the a-a line of (A)) showing the outline configuration of the semiconductor device which is the operation gestalt 1 of this invention, and drawing 2 is the typical sectional view which expanded a part of drawing 1 (B).

[0023] As shown in drawing 1 and drawing 2 , semiconductor device 1A of this operation gestalt mainly has the composition of having a substrate (wiring substrate) 2, a semiconductor chip 10, two or more bonding wires 13, the resin seal object 14, and two or more letter electrode of projection 15 grades. The closure of a semiconductor chip 10 and two or more bonding wires 13 is carried out with the resin seal object 14.

[0024] A semiconductor chip 10 is placed between 1 principal-plane (chip loading side) 2X which a substrate 2 counters mutually, and 1 principal-plane 2X of other principal plane (rear face) 2Y in a glue line 12, and adhesion immobilization is carried out. The flat-surface configuration of a semiconductor chip 10 is formed by the shape of a rectangle, and is formed with the square in this operation gestalt. The semiconductor chip 10 has the composition of having the surface protective coat formed on the circuit forming face of the semi-conductor substrate which consists of single crystal silicon, and this semi-conductor substrate as covered an insulating layer, the multilayer-interconnection layer which accumulated two or more steps of

each of a wiring layer, and this multilayer-interconnection layer. Polyimide resin is used as a surface protective coat.

[0025] The control circuit is built in the semiconductor chip 10 as an integrated circuit. This control circuit is constituted by wiring mainly formed in the transistor component and wiring layer which were formed in the circuit forming face of a semi-conductor substrate.

[0026] Two or more electrode pads (bonding pad) 11 are formed in 1 principal-plane (circuit forming face) 10X which a semiconductor chip 10 counters mutually, and 1 principal-plane 10X of other principal planes (rear face) along each side of the periphery enclosure of a semiconductor chip 10. Each of two or more of these electrode pads 11 is formed in the wiring layer of the maximum upper layer of the multilayer-interconnection layers of a semiconductor chip 10, and is electrically connected with the transistor component which constitutes a control circuit. Each of two or more electrode pads 11 is formed by metal membranes, such as for example, aluminum (aluminum) film or aluminium alloy film.

[0027] Although the substrate 2 is not illustrated in a detail, it has multilayer-interconnection structure which accumulated each of an insulating layer and a conductive layer one by one. Each insulating layer is formed with the glass epoxy group plate which infiltrated the resin of an epoxy system into the glass fiber, and each wiring layer is formed by the metal membrane which consists of copper (Cu). The flat-surface configuration of a substrate 2 is formed by the shape of a rectangle, and is formed with the square in this operation gestalt.

[0028] Two or more connections (land) 3 set to 1 principal-plane 2X of a substrate 2 from some wiring formed in the conductive layer of the maximum upper layer are arranged. Moreover, the resin film 4 which protects wiring formed in the conductive layer of the maximum upper layer is formed in 1 principal-plane 2X of a substrate 2. Opening which exposes the front face of a connection 3 is formed in this resin film 4.

[0029] Two or more electrode pads (land) 5 set to rear-face 2Y of a substrate 2 from some wiring formed in the conductive layer of the lowest layer are arranged. Moreover, the resin film 6 which protects wiring formed in the conductive layer of the lowest layer is formed in rear-face 2Y of a substrate 2. Opening which exposes the front face of the electrode pad 5 is formed in this resin film 6. The resin film 4 and 6 is formed by the resin of for example, an epoxy system, or the resin of a polyimide system.

[0030] Two or more letter electrodes 15 of a projection fix to two or more electrode pads 5 arranged at rear-face 2Y of a substrate 2, respectively, and are connected to them electrically and mechanically. The letter electrode 15 of a projection is formed by the ball-like bump who consists of solder material of a Pb-Sn presentation for example.

[0031] The flat-surface configuration of the resin seal object 14 is formed by the shape of a rectangle, and is formed with the square in this operation gestalt. The resin seal object 14 is formed as a purpose which attains low stress-ization by the thermosetting insulation resin of an epoxy system by which the filler (for example, silica) of for example, a phenol system curing agent, silicone rubber, and a large number etc. was added.

[0032] Two or more electrode pads 11 arranged at 1 principal-plane 10X of a semiconductor chip 10 are electrically connected to two or more connections 3 arranged through a bonding wire 11 at 1 principal-plane 2X of a substrate 2, respectively. As a bonding wire 13, the golden (Au) wire is used, for example. the ball bonding (nail head bonding) which used supersonic vibration together to thermocompression bonding as a connection method of a bonding wire 13, for example -- law is used.

[0033] The resin seal object 14 and the appearance size of a substrate 2 have become almost the



same, and the side face of the resin seal object 14 and a substrate 2 is flat-tapped. In manufacture of semiconductor device 1A of this operation gestalt, although explained to a detail later, package closure of two or more semiconductor chips 10 mounted in one principal plane of a substrate by keeping predetermined spacing is carried out with a resin seal object, and the method of dividing and manufacturing a resin seal object and a substrate to coincidence every (every product formation field) semiconductor chip 10 is adopted after that.

[0034] Drawing 3 is the typical top view of the substrate used for manufacture of semiconductor device 1A of this operation gestalt, drawing 4 is the typical top view which expanded a part of drawing 3, and drawing 5 is a typical sectional view which meets the b-b line of drawing 4.

[0035] As shown in drawing 3 thru/or drawing 5, the flat-surface configuration of a substrate (wiring substrate) 20 is formed by the shape of a rectangle, and is formed in the rectangle in this operation gestalt. In 1 principal-plane (chip loading side) 20X of a substrate 20, two or more product formation fields 22 keep predetermined spacing, and are arranged in the shape of a matrix at it. The chip loading field 22 is arranged in each product formation field 22, and two or more connections 3 are arranged to the perimeter. Each product formation field 22 is arranged in the mold field 21 in which a resin seal object is formed. The configuration of each product formation field 22 has the same composition as a substrate 2. That is, the resin film (4) is formed in 1 principal-plane 20X of a substrate 20 over the whole surface, and the resin film (6) is formed in 1 principal-plane 20X and other principal planes (rear face) which counter over the whole surface. In addition, each product formation field 22 is arranged in the condition of having separated mutually through the isolation region for dividing a substrate 20.

[0036] Drawing 6 is the typical top view showing the outline configuration of the punch of the shaping metal mold used for manufacture of semiconductor device 1A of this operation gestalt, drawing 7 is the typical top view showing the outline configuration of the female mold of said shaping metal mold, and drawing 8 is the typical sectional view showing the outline configuration of said shaping metal mold.

[0037] As shown in drawing 6 thru/or drawing 8, the shaping metal mold 30 is equipped with a cavity 31, two or more gates 32, two or more sub-runners 33, two or more Maine runners 34, two or more culls 35, the connection runner 36, two or more air vents 37, two or more pots 38, and substrate loading field 39 grade. Each configuration section of 31-37 is prepared in punch 30A, and each configuration section of 38-39 is prepared in female mold. The flat-surface configuration of a cavity 37 and the substrate loading field 39 is formed in the flat-surface configuration corresponding to the flat-surface configuration of a substrate 20, and is formed in the rectangle in this operation gestalt. The cavity 31 has become depressed in the depth direction from the mating face of punch 30A. The substrate loading field 39 has become depressed in the depth direction from the mating face of female mold 30B.

[0038] In the shaping metal mold 30, resin is poured into the interior of a cavity 31 through cull 35, the Maine runner 34, a sub-runner 33, and the gate 32 from a pot 38. Over the whole region inside a cavity 63, as for two or more gates 32, resin is arranged at homogeneity along one long side of the two long sides where a cavity 31 corresponds mutually so that it may fill up. Therefore, resin is poured into the interior of a cavity 31 toward the long side side of another side from one long side side of a cavity 31. Two or more air vents 37 are arranged along with three sides except one long side of a cavity 31 where the gate 32 has been arranged.

[0039] Next, manufacture of semiconductor device 1A of this operation gestalt is explained using drawing 9 thru/or drawing 16. Drawing 9, drawing 10, drawing 11, and drawing 16 are the typical sectional views for explaining manufacture of a semiconductor device, and

drawing 12 thru/or drawing 15 are drawings ((A) is a typical top view and (B) is a typical sectional view) showing the flow of the resin when forming a resin seal object by the transfer mold package method.

[0040] First, the substrate 20 shown in drawing 3 is prepared. Next, the glue line 12 which consists of thermosetting resin of an epoxy system is formed in the chip loading field of each product formation field of 1 principal-plane 20X of a substrate 20, and after that, a glue line 12 is placed between each chip loading field, a semiconductor chip 10 is carried, and as heat treatment is performed, a glue line 12 is stiffened and it is shown in drawing 9 (A), adhesion immobilization of the semiconductor chip 10 is carried out to each chip loading field. In this process, since a substrate 20 is heated by about 150 degrees C, the natural oxidation film is formed in the front face of the electrode pad 11 of a semiconductor chip 10, and the front face of the connection 3 of a substrate 20. Moreover, impurities, such as a part for the fats and oils contained in the resin film 4 and an organic solvent, serve as out gas, it is emitted, and the front face of 1 principal-plane 2X of a substrate 20 and a connection 3, the front face of the electrode pad 11, etc. are polluted.

[0041] Next, as shown in drawing 9 (B), clarification processing is performed to the front face of the electrode pad 11 of a semiconductor chip 10, and the front face of the connection 3 of a substrate 20, and impurities, such as natural oxidation film which remains on these front faces, and a part for fats and oils, an organic solvent, are removed. This clarification processing is performed by the plasma cleaning method for having used oxygen or argon gas.

[0042] Next, as shown in drawing 10 (A), the electrode pad 11 of a semiconductor chip 10 and the connection 3 of a substrate 20 are electrically connected by the bonding wire 13. In this process, since impurities, such as natural oxidation film which remains on the front face of the electrode pad 11 of a semiconductor chip 10 and the front face of the connection 3 of a substrate 20, and a part for fats and oils, an organic solvent, are removed at the clarification process of the preceding paragraph, the connection dependability of a wirebonding process improves. Moreover, in this process, since a substrate 20 is heated by about 125 degrees C, impurities, such as a part for the fats and oils contained in the resin film 4 and an organic solvent, serve as out gas, it is emitted, and 1 principal-plane 20X of a substrate 20 etc. is polluted. Moreover, in this process, two or more semiconductor chips 10 are mounted in 1 principal-plane 20X of a substrate 20.

[0043] Next, as shown in drawing 10 (B), clarification processing is performed to one principal plane 20 of a substrate 20, and impurities, such as a part for the fats and oils which remains to 1 principal-plane 20X of a substrate 20, and organic, are removed. This clarification processing is performed by the plasma cleaning method for having used oxygen or argon gas. The plasma cleaning method can carry out surface roughening of the front face of 1 principal-plane 20X of a substrate 20 while being able to remove the impurities for fats and oils etc.

[0044] Next, as shown in drawing 11 , a substrate 20 is positioned between punch 30A of the shaping metal mold 30, and female mold 30B, and two or more semiconductor chips 10 mounted on 1 principal-plane 20X of a substrate 20 are arranged inside the cavity 31 of the shaping metal mold 20 with a substrate 20. At this time, a substrate 20 is carried in the substrate loading field 39 established in female mold 30B.

[0045] Next, from a pot 38, through cull 35, the Maine runner 34, a sub-runner 33, and the gate 32, the thermosetting resin of an epoxy system is poured in and the resin seal object 24 which carries out package closure of two or more semiconductor chips 10 mounted in 1 principal-plane 20X of a substrate 20 is formed in the interior of a cavity 31.

[0046] In this process, since two or more gates 32 are formed along one long side of the two long sides where a cavity 31 counters mutually so that homogeneity may be filled up with resin 24A over the whole region inside a cavity 31 as shown in drawing 12 , resin 24A is poured into the interior of a cavity 31 toward the long side side of another side from one long side side of a substrate 20. At this time, the semiconductor chip 10 serves as arrangement with which the two sides which counter mutually intersect a right angle mostly to the direction of grouting S of resin 24A.

[0047] Resin 24A poured into the interior of a cavity 31 flows toward the long side side of another side from one long side side of a substrate 20, as shown in drawing 12 thru/or drawing 14 , and as shown in drawing 15 , the interior of a cavity 31 is filled up with it.

[0048] Resin 24A poured into the interior of a cavity 31 flows along 1 principal-plane 10X and the side face of a semiconductor chip 10. Although resin 24A which flows along 1 principal-plane 10X and the side face of a semiconductor chip 10 flows in between semiconductor chips 10 Resin 24A which flows along with 1 principal-plane 10X of a semiconductor chip 10 rather than resin 24A which flows along the side face of a semiconductor chip 10 Since the rate of flow is slow, Void 24B occurs in the place (refer to the drawing 14 ) at which resin 24A which flows along with 1 principal-plane 10X of a semiconductor chip 10, and resin 24A which flows along the side face of a semiconductor chip 10 cross. On the other hand, the impurities for the fats and oils which remains to one principal plane 20 of a substrate 20 etc. are removed in the above-mentioned clarification process, and further, since surface roughening of the 1 principal-plane 20X of a substrate 20 is carried out, its wettability of resin 24A is improving to 1 principal-plane 20X of a substrate 20. For this reason, resin 24A which flows along the side face of a semiconductor chip 10 to the place which serves as a shadow with a semiconductor chip 10 to the direction of grouting S of resin 24A surroundings-lump-comes to be easy. Therefore, void 24B generated in the place (refer to drawing 14 ) at which resin 24A which flows along with 1 principal-plane 10X of a semiconductor chip 10, and resin 24A which flows along the side face of a semiconductor chip 10 cross is estranged from 1 principal-plane 20X of a substrate 20. Thus, since it becomes easy to move void 24B estranged from 1 principal-plane 20X of a substrate 20 by the flow of resin 24A in a resin impregnation process, as shown in drawing 15 , void 24B does not remain in the place which serves as a shadow with a semiconductor chip 10. Void 24B estranged from 1 principal-plane 20X of a substrate 20 becomes small gradually, moving by the flow of resin 24, and becomes small to extent which does not cause a popcorn phenomenon at the time of a heat cycle test.

[0049] Namely, by performing clarification processing to 1 principal-plane 20X of a substrate 20, and removing the impurities for the fats and oils which remains at 1 principal-plane 20X of a substrate 20 etc. before the process which forms the resin seal object 24 Since it surroundings-lump-comes to be easy to the place where resin 24A which the wettability of resin 24A to 1 principal-plane 20X of a substrate 20 improves, and flows along the side face of a semiconductor chip 10 becomes a shadow with a semiconductor chip 10 to the direction of grouting S of resin 24A, Void 24B generated in the part at which resin 24A which flows along with 1 principal-plane 10X of a semiconductor chip 10, and resin 24A which flows along the side face of a semiconductor chip 10 cross is eliminated from 1 principal-plane 20X of a substrate 20.

[0050] Moreover, since surface roughening of the front face of 1 principal-plane 20X of a substrate 20 is carried out while the impurities for the fats and oils which remains to 1 principal-plane 20X of a substrate 20 by performing clarification processing by the plasma cleaning method etc. are removable, the wettability of resin 24A to 1 principal-plane 20X of a substrate 20

improves further. The wettability of resin 24A becomes high by making coarse the field which becomes high and flows by removing the impurities for the fats and oils which remains to the flowing field etc. However, although it is natural, there is a limit in wettability improvement in the resin by surface roughening.

[0051] Next, as shown in drawing 16 (A), the letter electrode 15 of a projection is formed for example, by the ball supplying method on the front face of the electrode pad 5 arranged at the rear face of a substrate 20. Then, as adhesion immobilization of the substrate 20 is carried out at the dicing sheet 25 in the condition that the resin seal object 24 which carried out package closure faces the dicing sheet 25 and it is shown in drawing 16 (B) after that Dicing equipment divides the resin seal object 24 and a substrate 20 into coincidence every (every product formation field) semiconductor chip 10. According to this process, semiconductor device 1A shown in drawing 1 thru/or drawing 3 is completed mostly. Thus, according to this operation gestalt, the following effectiveness is acquired.

[0052] Two or more semiconductor chips 10 mounted by keeping predetermined spacing in the manufacture approach of semiconductor device 1A toward the long side side of one of these, and the long side side of another side which counters from one long side side of one principal plane 20 on 1 principal-plane 20X of a substrate 20 Arrange inside the cavity 31 of the shaping metal mold 30 with a substrate 20, and resin 24A is poured into the interior of a cavity 31 toward the long side side of another side after that from one long side side of 1 principal-plane 20X of a substrate 20. It has the process which forms the resin seal object 24 which carries out package closure of two or more semiconductor chips 10, and has further the process which removes the impurity which remains to 1 principal-plane 20X of a substrate 20 by the plasma cleaning method before the process which forms the resin seal object 24.

[0053] This removes impurities, such as a part for the fats and oils which remained to 1 principal-plane 20X of a substrate 20, and an organic solvent. By changing into the condition of exposing more ingredients with high wettability with resin 24A to 1 principal-plane 20X of a substrate 20, or having detailed irregularity in 1 principal-plane 20X of a substrate 20 Wettability of resin 24A and 1 principal-plane 20X of a substrate 20 can be made high, and exclusion of the void in resin 24A can be promoted more by the flow accompanying impregnation of resin 24A. Consequently, improvement in the yield of semiconductor device 1A can be aimed at.

[0054] In addition, although this operation gestalt explained the example using the substrate 20 which has the resin film 4 to 1 principal-plane 20X, if it is a resin substrate, even if it does not have the resin film 4 in 1 principal-plane 20X, by heat treatment in a production process, impurities, such as a part for the fats and oils contained in the resin substrate and an organic solvent, serve as out gas, and emit.

[0055] Moreover, although this operation gestalt explained the example which used the GARAPO substrate as a substrate 20, this invention is effective when the substrate which consists of BT resin as a substrate 20 is used.

[0056] Moreover, since curvature becomes intense by hardening contraction of a resin seal object when a resin tape is used as a substrate 20, the addition of a filler must be increased. In such a case, for a \*\*\*\*\* reason, the fluidity of resin becomes easy to generate a void.

[0057] (Operation gestalt 2) Drawing 17 is the typical sectional view of the semiconductor device which is the operation gestalt 2 of this invention. As shown in drawing 17 , semiconductor device 1B of this operation gestalt has the same composition as the above-mentioned operation gestalt 1 fundamentally, and the following configurations differ.

[0058] That is, a glue line 12 is placed between 1 principal-plane 2X of a substrate 2, adhesion

immobilization of the semiconductor chip 10 is carried out, a glue line 42 is placed between one principal plane 10 of a semiconductor chip 10, and adhesion immobilization of the semiconductor chip 40 is carried out. The semiconductor chip 42 is formed in flat-surface size smaller than a semiconductor chip 10. The electrode pad 41 arranged at one principal plane of a semiconductor chip 42 is electrically connected to the connection 3 formed in 1 principal-plane 20X of a substrate 20 through the bonding wire 43. The closure of the semiconductor chips 10 and 42 is carried out with the resin seal object 14.

[0059] Hereafter, manufacture of semiconductor device 1B is explained using drawing 18 and drawing 19. Drawing 18 and drawing 19 are the typical sectional views of \*\* explaining manufacture of a semiconductor device.

[0060] First, the glue line 12 which consists of thermosetting resin of an epoxy system is formed in the chip loading field of each product formation field of 1 principal-plane 20X of a substrate 20, it is placed between a chip loading field glue line 12, and a semiconductor chip 10 is carried, a substrate 20 is prepared and adhesion immobilization of the semiconductor chip 10 is carried out [ heat treatment is performed, a glue line 12 is stiffened, and ] to a chip loading field after that. In this process, since a substrate 20 is heated by about 180 degrees C, the natural oxidation film is formed in the front face of the electrode pad 11 of a semiconductor chip 10, and the front face of the connection 3 of a substrate 20. Moreover, impurities, such as a part for the fats and oils contained in the resin film 4 and an organic solvent, serve as out gas, it is emitted, and one principal plane of a substrate 20, the front face of a connection 3, the front face of the electrode pad 11, etc. are polluted.

[0061] Next, the glue line 42 which consists of thermosetting resin of an epoxy system is formed in 1 principal-plane 10X of each semiconductor chip 10, and after that, a glue line 42 is placed between 1 principal-plane 10X of a semiconductor chip 10, a semiconductor chip 40 is carried, and as heat treatment is performed, a glue line 42 is stiffened and it is shown in drawing 18 (A), adhesion immobilization of the semiconductor chip 42 is carried out at a semiconductor chip 10. In this process, since a substrate 20 is heated by about 180 degrees C, the natural oxidation film is formed in the front face of the electrode pad 11 of a semiconductor chip 10, and the front face of the connection 3 of a substrate 20. Moreover, the impurities for the fats and oils contained in the resin film 4 etc. serve as out gas, it is emitted, and one principal plane of a substrate 20, the front face of a connection 3, the front face of the electrode pad 11, etc. are polluted.

[0062] Next, as shown in drawing 18 (B), the impurity which remains by the plasma cleaning method using oxygen or argon gas on the front face of the electrode pad (11 41) of semiconductor chips 10 and 42 and the front face of the connection 3 of a substrate 20 is removed.

[0063] Next, as shown in drawing 19 (A), while connecting electrically the electrode pad 11 of a semiconductor chip 10, and the connection 3 of a substrate 20 by the bonding wire 13, the electrode pad 41 of a semiconductor chip 40 and the connection 3 of a substrate 20 are electrically connected by the bonding wire 13. In this process, since a substrate 20 is heated by about 125 degrees C, the impurities for the fats and oils contained in the resin film 4 etc. serve as out gas, it is emitted, and one principal plane of a substrate 20 etc. is polluted.

[0064] Next, as shown in drawing 19 (B), the impurity which remains to 1 principal-plane 20X of a substrate 20 by the plasma cleaning method using oxygen or argon gas is removed. In this process, since the plasma cleaning method can carry out surface roughening of the 1 principal-plane 20X of a substrate 20, it can perform removal of an impurity, and surface roughening of 1 principal-plane 20X of a substrate 20.

[0065] Next, two or more semiconductor chips 10 which positioned the substrate 20 between punch 30A of the shaping metal mold 30, and female mold 30B, and were mounted on 1 principal-plane 20X of a substrate 20 like the above-mentioned operation gestalt, Two or more semiconductor chips 40 by which the laminating was carried out to each semiconductor chip 10, respectively Arrange inside the cavity 31 of the shaping metal mold 20 with a substrate 20, and resin is poured into the interior of a cavity 31 from a pot 38 after that through cull 35, the Main runner 34, a sub-runner 33, and the gate 32. The resin seal object which carries out package closure of two or more semiconductor chips 10 and 40 mounted in 1 principal-plane 20X of a substrate 20 is formed.

[0066] Then, semiconductor device 1B shown in drawing 17 is formed by giving the same process as the above-mentioned operation gestalt 1. In manufacture of semiconductor device 1B of this operation gestalt, since the laminating of the two semiconductor chips (10 40) is carried out on 1 principal-plane 20X of a substrate 20 Although it is easy to generate a void into the part which serves as a shadow with semiconductor chips 10 and 40 to the direction of grouting S of resin 24A The same effectiveness as the above-mentioned operation gestalt 1 is acquired by performing clarification processing to 1 principal-plane 20X of a substrate 20 by the plasma cleaning method in front of the process which forms a resin seal object.

[0067] (Operation gestalt 3) Drawing 20 is the typical sectional view of the semiconductor device which is the operation gestalt 3 of this invention. As shown in drawing 20 , semiconductor device 1C of this operation gestalt has the same composition as the above-mentioned operation gestalt 2 fundamentally, and the following configurations differ.

[0068] That is, the letter electrode 53 of a projection is placed between 1 principal-plane 2X of a substrate 20, a semiconductor chip 50 is mounted, a glue line 12 is placed between one principal plane of a semiconductor chip 50, and other principal planes (rear face) which counter, and adhesion immobilization of the semiconductor chip 10 is carried out. The letter electrode 53 of a projection is placed between electrode pad 3A arranged at 1 principal-plane 2X of a substrate 20 by the electrode pad 50 with which the semiconductor chip 50 has been arranged at the one principal plane, and it is electrically connected to it. It fills up with the thermosetting resin 52 of an epoxy system between the semiconductor chip 50 and the substrate 20. The electrode pad 11 of a semiconductor chip 10 is electrically connected to the connection 3 of a substrate 20 through the bonding wire 13. The closure of the semiconductor chips 50 and 10 is carried out with the resin seal object 2.

[0069] Hereafter, manufacture of semiconductor device 1C is explained using drawing 21 and drawing 22 . Drawing 21 and drawing 22 are the typical sectional views of \*\* explaining manufacture of a semiconductor device.

[0070] First, a substrate 20 is prepared, the letter electrode 53 of a projection is fused in the condition of having intervened the letter electrode 53 of a projection after that between electrode pad 3A arranged to the chip loading field of each product formation field of 1 principal-plane 20X of a substrate 20, and the electrode pad 51 arranged at one principal plane of a semiconductor chip 50, and a semiconductor chip 51 is mounted in each product formation field of one principal plane of a substrate 20. In this process, since a substrate 20 is heated by about 205 degrees C, the natural oxidation film is formed in the front face of the connection 3 of a substrate 20. Moreover, the impurity of a part for the fats and oils contained in the resin film 4 and \*\*\*\*\* serves as out gas, it is emitted, and one principal plane of a substrate 20, the front face of a connection 3, etc. are polluted.

[0071] Next, it is filled up with the thermosetting resin 52 of an epoxy system between a

semiconductor chip 50 and a substrate 20, and after that, heat treatment is performed and thermosetting resin 52 is stiffened. In this process, since a substrate 20 is heated by about 150 degrees C, the natural oxidation film is formed in the front face of the connection 3 of a substrate 20. Moreover, the impurity of a part for the fats and oils contained in the resin film 4 and \*\*\*\*\* serves as out gas, it is emitted, and one principal plane of a substrate 20, the front face of a connection 3, etc. are polluted.

[0072] Next, the glue line 42 which consists of thermosetting resin of an epoxy system is formed in the rear face of each semiconductor chip 50, and after that, a glue line 10 is placed between the rear face of a semiconductor chip 50, a semiconductor chip 10 is carried, and as heat treatment is performed, a glue line 10 is stiffened and it is shown in drawing 21 (A), adhesion immobilization of the semiconductor chip 42 is carried out at a semiconductor chip 10. In this process, since a substrate 20 is heated by about 180 degrees C, the natural oxidation film is formed in the front face of the electrode pad 11 of a semiconductor chip 10, and the front face of the connection 3 of a substrate 20. Moreover, the impurities for the fats and oils contained in the resin film 4 etc. serve as out gas, it is emitted, and one principal plane of a substrate 20, the front face of a connection 3, the front face of the electrode pad 11, etc. are polluted.

[0073] Next, as shown in drawing 21 (B), the impurity which remains by the plasma cleaning method using oxygen or argon gas on the front face of the electrode pad 11 of a semiconductor chip 10 and the front face of the connection 3 of a substrate 20 is removed.

[0074] Next, as shown in drawing 22 (A), the electrode pad 11 of a semiconductor chip 10 and the connection 3 of a substrate 20 are electrically connected by the bonding wire 13. In this process, since a substrate 20 is heated by about 125 degrees C, the impurities for the fats and oils contained in the resin film 4 etc. serve as out gas, it is emitted, and one principal plane of a substrate 20 etc. is polluted.

[0075] Next, as shown in drawing 22 (B), the impurity which remains to 1 principal-plane 20X of a substrate 20 by the plasma cleaning method using oxygen or argon gas is removed. In this process, since the plasma cleaning method can carry out surface roughening of the 1 principal-plane 20X of a substrate 20, it can perform removal of an impurity, and surface roughening of 1 principal-plane 20X of a substrate 20.

[0076] Next, two or more semiconductor chips 50 which positioned the substrate 20 between punch 30A of the shaping metal mold 30, and female mold 30B, and were mounted on 1 principal-plane 20X of a substrate 20 like the above-mentioned operation gestalt, Two or more semiconductor chips 10 by which the laminating was carried out to each semiconductor chip 50, respectively Arrange inside the cavity 31 of the shaping metal mold 20 with a substrate 20, and resin is poured into the interior of a cavity 31 from a pot 38 after that through cull 35, the Maine runner 34, a sub-runner 33, and the gate 32. The resin seal object which carries out package closure of two or more semiconductor chips 50 and 10 mounted in 1 principal-plane 20X of a substrate 20 is formed.

[0077] Then, semiconductor device 1C shown in drawing 20 is formed by giving the same process as the above-mentioned operation gestalt 1. In manufacture of semiconductor device 1C of this operation gestalt, since the laminating of the two semiconductor chips (50 10) is carried out on 1 principal-plane 20X of a substrate 20 Although it is easy to generate a void into the part which serves as a shadow with semiconductor chips 50 and 10 to the direction of grouting S of resin 24A The same effectiveness as the above-mentioned operation gestalt 1 is acquired by performing washing processing to 1 principal-plane 20X of a substrate 20 by the plasma cleaning method in front of the process which forms a resin seal object.

[0078] As mentioned above, although invention made by this invention person was concretely explained based on said operation gestalt, as for this invention, it is needless to say for it to be able to change variously in the range which is not limited to said operation gestalt and does not deviate from the summary. For example, this invention is applicable to the manufacturing technology of the semiconductor device of CSP structure. Moreover, this invention is applicable to the manufacturing technology of the semiconductor device of MCM structure which mounted two or more semiconductor chips on the substrate.

[0079]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly. According to this invention, improvement in the yield of a semiconductor device can be aimed at.

---

[Translation done.]



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110721

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H01L 21/56

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 2000-301952

(71)Applicant : HITACHI LTD

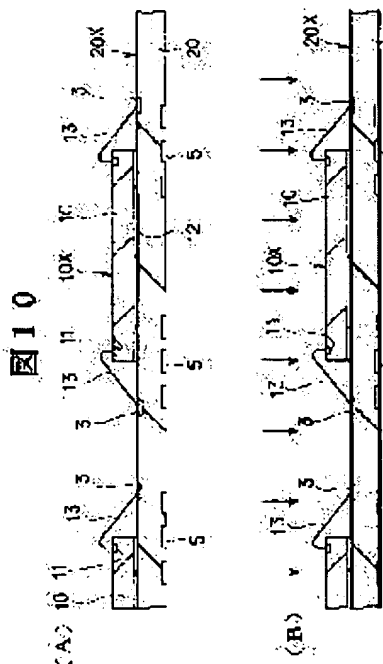
HITACHI HOKKAI SEMICONDUCTOR  
LTD

(22)Date of filing : 02.10.2000

(72)Inventor : GOTO MASAKATSU

KASAI NORIHIKO

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE



(57)Abstract:

PROBLEM TO BE SOLVED: To improve yield of semiconductor device.

SOLUTION: In a method for manufacturing a semiconductor device, on the principal surface of a substrate a plurality of semiconductor chips which are mounted at prescribed intervals from a first edge of the principal surface toward a second edge opposing the first edge are disposed inside a cavity, or a forming mold with the substrate. Then, a step is provided, where a resin is injected inside the cavity from the first edge toward the second edge of the principal surface on the substrate to form a resin encapsulant for encapsulating the plurality of the semiconductor chips in batch, and additionally a step is provided where a cleaning process is conducted on the principal surface of the substrate, before the step of forming the resin encapsulant.

LEGAL STATUS

[Date of request for examination]

16.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]	3621034
[Date of registration]	26.11.2004
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-110721

(P2002-110721A)

(43) 公開日 平成14年4月12日 (2002.4.12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード*(参考)
H 0 1 L 21/56		H 0 1 L 21/56	T 5 F 0 6 1
25/065		25/08	B
25/07			
25/18			

審査請求 未請求 請求項の数28 O L (全 19 頁)

(21) 出願番号 特願2000-301952(P2000-301952)

(22) 出願日 平成12年10月2日(2000.10.2)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72) 発明者 後藤 正克

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(74) 代理人 100083552

弁理士 秋田 収喜

最終頁に続く

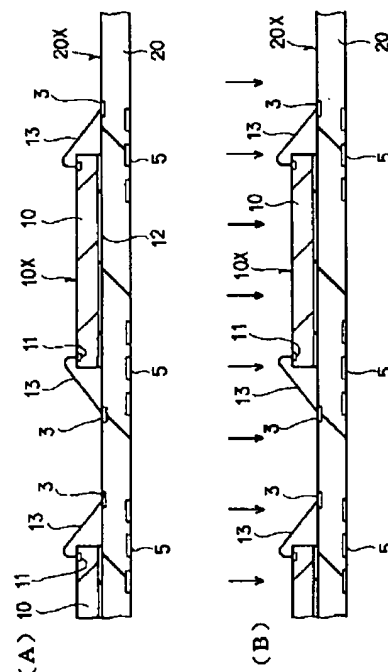
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体装置の歩留まりの向上を図る。

【解決手段】 半導体装置の製造方法において、基板の一主面上に前記一主面の第1辺側から前記第1辺と対向する第2辺側に向かって所定の間隔を置いて実装された複数の半導体チップを、前記基板と共に成形金型のキャビティの内部に配置し、その後、前記キャビティの内部に前記基板の一主面の第1辺側から第2辺側に向かって樹脂を注入して、前記複数の半導体チップを一括封止する樹脂封止体を形成する工程を備え、更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面に清浄処理を施す工程を備える。

図 10



## 【特許請求の範囲】

【請求項1】 基板の一主面上に前記一主面の第1辺側から前記第1辺と対向する第2辺側に向かって所定の間隔を置いて実装された複数の半導体チップを、前記基板と共に成形金型のキャビティの内部に配置し、その後、前記キャビティの内部に前記基板の一主面の第1辺側から第2辺側に向かって樹脂を注入して、前記複数の半導体チップを一括封止する樹脂封止体を形成する工程を備え、

更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面に残留する不純物を除去する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1に記載の半導体装置の製造方法において、

前記基板の一主面に残留する不純物を除去する工程は、プラズマクリーニング法で行うことを特徴とする半導体装置の製造方法。

【請求項3】 請求項3に記載の半導体装置の製造方法において、

前記プラズマクリーニング法は、前記基板の一主面に残留する不純物を除去すると共に、前記基板の一主面を粗面化するものであることを特徴とする半導体装置の製造方法。

【請求項4】 請求項1に記載の半導体装置の製造方法において、

更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面上に前記複数の半導体チップを実装する工程を備え、

前記基板の一主面に残留する不純物を除去する工程は、前記複数の半導体チップを実装する工程の後であって、前記樹脂封止体を形成する工程の前に行うことを特徴とする半導体装置の製造方法。

【請求項5】 請求項4に記載の半導体装置の製造方法において、

前記複数の半導体チップを実装する工程は、前記配線基板の一主面に前記半導体チップを接着固定する工程と、前記半導体チップの一主面に形成された電極パッドと前記配線基板の一主面に形成された接続部とをボンディングワイヤで電気的に接続する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】 請求項5に記載の半導体装置の製造方法において、

更に、前記半導体チップを接着固定する工程の後であって、前記ボンディングワイヤで電気的に接続する工程の前に、前記半導体チップの電極パッドの表面及び前記基板の接続部の表面に残留する不純物をプラズマクリーニング法で除去する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項7】 請求項1に記載の半導体装置の製造方法において、

前記基板は、樹脂基板であることを特徴とする半導体装置の製造方法。

【請求項8】 請求項1に記載の半導体装置の製造方法において、

前記基板は、その一主面に樹脂膜を有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項1に記載の半導体装置の製造方法において、

前記半導体チップは、平面が方形で形成され、

前記半導体チップの互いに対向する2つの辺は、前記樹脂の注入方向に対して交差していることを特徴とする半導体装置の製造方法。

【請求項10】 請求項1に記載の半導体装置の製造方法において、

前記樹脂は、多数のフィラーが混入されていることを特徴とする半導体装置の製造方法。

【請求項11】 請求項1に記載の半導体装置の製造方法において、

前記樹脂は、多数のフィラーが混入されたエポキシ系の熱硬化性樹脂であることを特徴とする半導体装置の製造方法。

【請求項12】 請求項1に記載の半導体装置の製造方法において、

更に、前記樹脂封止体を形成する工程の後に、前記樹脂封止体及び前記基板を前記各半導体チップ毎に分割する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項13】 基板の一主面上に前記一主面の第1辺側から前記第1辺と対向する第2辺側に向かって所定の間隔を置いて実装された複数の半導体チップを前記基板と共に成形金型のキャビティの内部に配置し、その後、前記キャビティの内部に前記基板の一主面の第1辺側から第2辺側に向かって樹脂を注入して、前記複数の半導体チップを一括封止する樹脂封止体を形成する工程を備え、

更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面に粗面化処理を施す工程を備えたことを特徴とする半導体装置の製造方法。

【請求項14】 請求項13に記載の半導体装置の製造方法において、

前記粗面化処理は、プラズマクリーニング法で行うことを特徴とする半導体装置の製造方法。

【請求項15】 請求項14に記載の半導体装置の製造方法において、

前記プラズマクリーニング法は、前記基板の一主面に残留する不純物を除去すると共に、前記基板の一主面を粗面化するものであることを特徴とする半導体装置の製造方法。

【請求項16】 請求項13に記載の半導体装置の製造方法において、

更に、前記樹脂封止体を形成する工程の前に、前記配線

基板の一主面上に前記複数の半導体チップを実装する工程を備え、  
前記粗面化処理を施す工程は、前記複数の半導体チップを実装する工程の後であって、前記樹脂封止体を形成する工程の前に行うことを特徴とする半導体装置の製造方法。

【請求項17】 請求項16に記載の半導体装置の製造方法において、  
前記複数の半導体チップを実装する工程は、前記配線基板の一主面に前記半導体チップを接着固定する工程と、  
前記半導体チップの一主面に形成された電極パッドと前記配線基板の一主面に形成された接続部とをボンディングワイヤで電気的に接続する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項18】 請求項17に記載の半導体装置の製造方法において、  
更に、前記半導体チップを接着固定する工程の後であって、前記ボンディングワイヤで電気的に接続する工程の前に、前記半導体チップの電極パッドの表面及び前記基板の接続部の表面にプラズマクリーニング法で洗浄処理を施す工程を備えたことを特徴とする半導体装置の製造方法。

【請求項19】 請求項13に記載の半導体装置の製造方法において、  
前記基板は、樹脂基板であることを特徴とする半導体装置の製造方法。

【請求項20】 請求項13に記載の半導体装置の製造方法において、  
前記基板は、その一主面に樹脂層を有することを特徴とする半導体装置の製造方法。

【請求項21】 請求項13に記載の半導体装置の製造方法において、  
前記半導体チップは、平面が方形状で形成され、  
前記半導体チップの互いに対向する2つの辺は、前記樹脂の注入方向に対して交差していることを特徴とする半導体装置の製造方法。

【請求項22】 請求項13に記載の半導体装置の製造方法において、  
前記樹脂は、多数のフィラーが混入されていることを特徴とする半導体装置の製造方法。

【請求項23】 請求項13に記載の半導体装置の製造方法において、  
前記樹脂は、多数のフィラーが混入されたエポキシ系の熱硬化性樹脂であることを特徴とする半導体装置の製造方法。

【請求項24】 請求項13に記載の半導体装置の製造方法において、  
更に、前記樹脂封止体を形成する工程の後に、前記樹脂封止体及び前記基板を前記各半導体チップ毎に分割する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項25】 基板の一主面上に前記一主面の第1辺側から前記第1辺と対向する第2辺側に向かって所定の間隔を置いて実装された複数の第1半導体チップと、前記各第1半導体チップ上に夫々積層された複数の第2半導体チップとを、前記基板と共に成形金型のキャビティの内部に配置し、その後、前記キャビティの内部に前記基板の一主面の第1辺側から第2辺側に向かって樹脂を注入して、前記複数の半導体チップを一括封止する樹脂封止体を形成する工程を備え、

更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面に残留する不純物を除去する工程を備えたことを特徴とする半導体装置の製造方法。

【請求項26】 請求項25に記載の半導体装置の製造方法において、  
前記基板の一主面に残留する不純物を除去する工程はプラズマクリーニング法で行うことを特徴とする半導体装置の製造方法。

【請求項27】 基板の一主面上に前記一主面の第1辺側から前記第1辺と対向する第2辺側に向かって所定の間隔を置いて実装された複数の第1半導体チップと、前記各第1半導体チップ上に夫々積層された複数の第2半導体チップとを、前記基板と共に成形金型のキャビティの内部に配置し、その後、前記キャビティの内部に前記基板の一主面の第1辺側から第2辺側に向かって樹脂を注入して、前記複数の半導体チップを一括封止する樹脂封止体を形成する工程を備え、  
更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面に粗面化処理を施す工程を備えたことを特徴とする半導体装置の製造方法。

【請求項28】 請求項27に記載の半導体装置の製造方法において、  
前記粗面化処理は、プラズマクリーニング法で行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造技術に関し、特に、トランスファ・モールド法による一括封止方式を採用する半導体装置の製造技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体装置の製造においては、基板の一主面上に実装された複数の半導体チップを1つの樹脂封止体で一括封止し、その後、各半導体チップ毎（各製品毎）に樹脂封止体及び基板を同時に分割して製造する方法が知られている。この製造については、例えば特開平8-107161号公報（公知文献1）並びに特開2000-12578号公報（公知文献2）に開示されている。また、公知文献1には一括封止する樹脂封止体をボンディング法によって形成する方法が開示され、公知文献2には一括封止する樹脂封止体をトランスファ・モー

ルド法によって形成する方法が開示されている。

【0003】

【発明が解決しようとする課題】本発明者等は、一括封止する樹脂封止体をトランスファ・モールド法によって形成する方法（以下、トランスファ・モールド一括封止方式と呼ぶ）について検討した結果、以下の問題点を見出した。

【0004】図23乃至図26は、従来の半導体装置の製造において、トランスファ・モールド一括封止方式で樹脂封止体を形成する時の樹脂の流れを示す図（（A）は模式的平面図、（B）は模式的断面図）である。図23乃至図26において、60は基板、60Xは基板60の一主面、61は半導体チップ、62は成形金型、62Aは成形金型62の上型、62Bは成形金型62の下型、63はキャビティ、64はゲート、65はランナー、66はエアイベント、67Aは樹脂、67Bはボイド、Sは樹脂の注入方向である。

【0005】トランスファ・モールド一括封止方式は、基板を有するパッケージ構造のBGA（Ball Grid Array）型半導体装置、CSP（Chip Size Package）又はChip Scale Package）型半導体装置等の製造に採用されている。この種の半導体装置の製造においては、図23に示すように、一主面60Xに複数の製品形成領域60Aが所定の間隔を置いて行列状に配置された基板60を用いるため、基板60に実装された複数の半導体チップ61も所定の間隔を置いて行列状に配置される。

【0006】トランスファ・モールド一括封止方式では、同図に示すように、キャビティ63、ゲート64、ランナー65、カル（図示せず）、ポット（図示せず）及びエアイベント66等を備えた成形金型62が用いられ、樹脂67Aはポットからカル、ランナー65及びゲート64を通してキャビティ63の内部に注入される。

【0007】基板60としては、通常、平面が長方形形状のものが用いられるため、これに対応してキャビティ63の平面形状も長方形形状となる。この場合、キャビティ63の内部の全域にわたって樹脂67Aが均一に充填されるように、キャビティ63の互いに対向する2つの長辺のうちの一方の長辺側にこの一方の長辺に沿って複数のゲート64が設けられるため、樹脂67Aは、キャビティ63の内部に基板60の一方の長辺側から他方の長辺側に向かって注入される。

【0008】このようにしてキャビティ63の内部に注入された樹脂67Aは、図23乃至図25に示すように基板60の一方の長辺側から他方の長辺側に向かって流れ、図26に示すようにキャビティ63の内部に充填される。

【0009】ところで、キャビティ63の内部に注入された樹脂67Aは、半導体チップ61の一主面及び側面に沿って流れる。半導体チップ61の一主面及び側面に

沿って流れる樹脂67Aは半導体チップ61間に流れ込むが、半導体チップ61の一主面に沿って流れる樹脂67Aは半導体チップ61によって流れを妨げられるため、半導体チップ61の側面に沿って流れる樹脂67Aよりも流速が遅い。このため、半導体チップ61の一主面に沿って流れる樹脂67Aと半導体チップ61の側面に沿って流れる樹脂67Aとが交わる所（図25参照）でボイド67Bが発生する。このボイド67Bは、樹脂注入過程において樹脂67Aの流れによって移動しながら徐々に小さくなるが、樹脂61Aの注入方向Sに対して半導体チップ61によって影となる所（図26参照）にボイド67Cが残存してしまう。トランスファ・モールド法では、樹脂の充填が終了した後、注入時の圧力よりも高い圧力を加えて樹脂中に巻き込まれたボイドを小さくする工程が施されるが、この工程が施されてもボイド67Cは、温度サイクル試験時においてポップコーン現象を起こさない程度のボイドよりもかなり大きいため、半導体装置の歩留まりを低下させる要因となる。

【0010】前述の公知文献1（特開平8-107161号公報）には、未充填部の発生を防ぐ手段として、チクソ性の低いモールド材を使うこと、及び前記の場合において、さらに真空脱泡を併用することが開示されている。しかし、トランスファ・モールド法においては、前記手段を適用する事によって、ボイド発生の問題を解決することはできない。

【0011】トランスファ・モールド法を採用する場合には、樹脂の流れはゲートからの注入によってコントロールされるものである。それゆえに、ゲートと対向する位置、樹脂が最後に充填される領域にエアイベントを設けることによって、樹脂がキャビティ中に充填されるまでの間、キャビティ中の空気をエアイベントから排除することができるものである。

【0012】しかし、トランスファ・モールド法においては、樹脂の流れがチクソ性によって支配される程度までチクソ性を低減し、または樹脂の注入速度を低くすると、樹脂の流れの制御が困難となり、樹脂が最後に充填される領域に設けるべきであるエアイベントの位置を設定することが実質的に不可能となる。

【0013】従って、トランスファ・モールド法においては、樹脂にチクソ性の低い物を採用することによって、樹脂の注入過程の状態を制御し、ボイドの巻き込みを無くすことは事実上不可能である。

【0014】また、封止樹脂の硬化収縮による反りを低減し、ダイシング工程を容易にすることを目的とし、または樹脂の熱膨張係数を半導体チップと近い物にし、熱サイクル時に半導体チップにかかる応力を低減することを目的として、大量のフィラー（例えば80%以上）を封止樹脂に添加した場合には、モールド材としてチクソ性の低い物を採用した場合でも、フィラーの存在によってチクソ性は高くなってしまいうため、ボイドの巻き込みを

10

20

30

40

50

解決する程度の低いチクソ性を得ることはできない。

【0015】また、ポッティング法においては、ポッティング後、樹脂硬化の前の状態の半導体装置を、気圧の低い雰囲気中に置くことにより、気泡を樹脂外に排除する真空脱泡という手段を採用することが可能であるが、トランスファ・モールド法においては、樹脂の注入及び硬化はキャビティ内で行なわれるため、真空脱泡法によってボイドを低減させる方法は採用することができない。

【0016】このようなことから、トランスファ・モールド法においては、公知文献1に記載されている技術を適用することによってボイドの発生を防ぐことはできないため、ボイド対策として新たな方法を採用する必要がある。

【0017】そこで、本発明者等は、図26に示すように、ボイド67Bが基板60の一主面に接触して残存していることから、基板60の一主面に対する樹脂67Aの濡れ性に着眼し、本発明を成した。

【0018】本発明の目的は、半導体装置の歩留まりの向上を図ることが可能な技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 基板の一主面上に前記一主面の第1辺側から前記第1辺と対向する第2辺側に向かって所定の間隔を置いて実装された複数の半導体チップを、前記基板と共に成形金型のキャビティの内部に配置し、その後、前記キャビティの内部に前記基板の一主面の第1辺側から第2辺側に向かって樹脂を注入して、前記複数の半導体チップを一括封止する樹脂封止体を形成する工程を備え、更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面に残留する不純物を除去する工程を備えたことを特徴とする半導体装置の製造方法である。前記基板の一主面に残留する不純物を除去する工程は、ブラズマクリーニング法で行う。

【0020】(2) 基板の一主面上に前記一主面の第1辺側から前記第1辺と対向する第2辺側に向かって所定の間隔を置いて実装された複数の半導体チップを前記基板と共に成形金型のキャビティの内部に配置し、その後、前記キャビティの内部に前記基板の一主面の第1辺側から第2辺側に向かって樹脂を注入して、前記複数の半導体チップを一括封止する樹脂封止体を形成する工程を備え、更に、前記樹脂封止体を形成する工程の前に、前記基板の一主面に粗面化処理を施す工程を備えたことを特徴とする半導体装置の製造方法である。前記粗面化処理は、ブラズマクリーニング法で行う。

【0021】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0022】(実施形態1) 本実施形態では、BGA型の半導体装置に本発明を適用した例について説明する。図1は本発明の実施形態1である半導体装置の概略構成を示す図( (A) は樹脂封止体を除去した状態の模式的平面図、(B) は(A) のa-a線に沿う模式的断面図)であり、図2は図1(B)の一部を拡大した模式的断面図である。

【0023】図1及び図2に示すように、本実施形態の半導体装置1Aは、主に、基板(配線基板)2、半導体チップ10、複数のボンディングワイヤ13、樹脂封止体14及び複数の突起状電極15等を有する構成となっている。半導体チップ10及び複数のボンディングワイヤ13は、樹脂封止体14によって封止されている。

【0024】半導体チップ10は、基板2の互いに対向する一主面(チップ搭載面)2X及び他の主面(裏面)2Yのうちの一主面2Xに接着層12を介在して接着固定されている。半導体チップ10の平面形状は方形で形成され、本実施形態においては例えば正方形で形成されている。半導体チップ10は、例えば、単結晶シリコンからなる半導体基板と、この半導体基板の回路形成面上において絶縁層、配線層の夫々を複数段積み重ねた多層配線層と、この多層配線層を覆うようにして形成された表面保護膜とを有する構成となっている。表面保護膜としては例えばポリイミド樹脂が用いられている。

【0025】半導体チップ10には、集積回路として例えば制御回路が内蔵されている。この制御回路は、主に、半導体基板の回路形成面に形成されたトランジスタ素子及び配線層に形成された配線によって構成されている。

【0026】半導体チップ10の互いに対向する一主面(回路形成面)10X及び他の主面(裏面)のうちの一主面10Xには、半導体チップ10の外周囲の各辺に沿って複数の電極パッド(ボンディングパッド)11が形成されている。この複数の電極パッド11の夫々は、半導体チップ10の多層配線層のうちの最上層の配線層に形成され、制御回路を構成するトランジスタ素子と電気的に接続されている。複数の電極パッド11の夫々は、例えば、アルミニウム(A1)膜又はアルミニウム合金膜等の金属膜で形成されている。

【0027】基板2は、詳細に図示していないが、絶縁層、導電層の夫々を順次積み重ねた多層配線構造となっている。各絶縁層は例えばガラス繊維にエポキシ系の樹脂を含浸させたガラスエポキシ基板で形成され、各配線層は例えば銅(Cu)からなる金属膜で形成されている。基板2の平面形状は方形で形成され、本実施形態

においては例えば正方形で形成されている。

【0028】基板2の一主面2Xには、その最上層の導電層に形成された配線の一部分からなる複数の接続部(ランド)3が配置されている。また、基板2の一主面2Xには、その最上層の導電層に形成された配線を保護する樹脂膜4が形成されている。この樹脂膜4には、接続部3の表面を露出する開口が形成されている。

【0029】基板2の裏面2Yには、その最下層の導電層に形成された配線の一部分からなる複数の電極パッド(ランド)5が配置されている。また、基板2の裏面2Yには、その最下層の導電層に形成された配線を保護する樹脂膜6が形成されている。この樹脂膜6には、電極パッド5の表面を露出する開口が形成されている。樹脂膜4及び6は、例えばエポキシ系の樹脂又はポリイミド系の樹脂で形成されている。

【0030】複数の突起状電極15は、基板2の裏面2Yに配置された複数の電極パッド5に夫々固着され、電気的にかつ機械的に接続されている。突起状電極15は、例えばPb-Sn組成の半田材からなるボール状バンプで形成されている。

【0031】樹脂封止体14の平面形状は方形で形成され、本実施形態においては例えば正方形で形成されている。樹脂封止体14は、低応力化を図る目的として、例えば、フェノール系硬化剤、シリコンゴム及び多数のフィラー(例えばシリカ)等が添加されたエポキシ系の熱硬化性絶縁樹脂で形成されている。

【0032】半導体チップ10の一主面10Xに配置された複数の電極パッド11は、ボンディングワイヤ11を介して基板2の一主面2Xに配置された複数の接続部3に夫々電気的に接続されている。ボンディングワイヤ13としては、例えば金(Au)ワイヤを用いている。ボンディングワイヤ13の接続方法としては、例えば、熱圧着に超音波振動を併用したボールボンディング(ネイルヘッドボンディング)法を用いている。

【0033】樹脂封止体14及び基板2の外形サイズはほぼ同一となっており、樹脂封止体14及び基板2の側面は面一となっている。本実施形態の半導体装置1Aの製造においては、後で詳細に説明するが、基板の一主面に所定の間隔を置いて実装された複数の半導体チップ10を樹脂封止体で一括封止し、その後、各半導体チップ10毎(各製品形成領域毎)に樹脂封止体及び基板を同時に分割して製造する方法が採用されている。

【0034】図3は本実施形態の半導体装置1Aの製造に用いられる基板の模式的平面図であり、図4は図3の一部を拡大した模式的平面図であり、図5は図4のb-b線に沿う模式的断面図である。

【0035】図3乃至図5に示すように、基板(配線基板)20の平面形状は方形で形成され、本実施形態においては例えば長方形で形成されている。基板20の一主面(チップ搭載面)20Xには、複数の製品形成領域

22が所定の間隔を置いて行列状に配置されている。各製品形成領域22にはチップ搭載領域22が配置され、その周囲に複数の接続部3が配置されている。各製品形成領域22は、樹脂封止体が形成されるモールド領域21の中に配置されている。各製品形成領域22の構成は、基板2と同様の構成となっている。即ち、基板20の一主面20Xにはその全面にわたって樹脂膜(4)が形成され、一主面20Xと対向する他の主面(裏面)にはその全面にわたって樹脂膜(6)が形成されている。なお、各製品形成領域22は、基板20を分割するための分離領域を介して互いに離れた状態で配置されている。

【0036】図6は本実施形態の半導体装置1Aの製造に用いられる成形金型の上型の概略構成を示す模式的平面図であり、図7は前記成形金型の下型の概略構成を示す模式的平面図であり、図8は前記成形金型の概略構成を示す模式的断面図である。

【0037】図6乃至図8に示すように、成形金型30は、キャビティ31、複数のゲート32、複数のサブランナー33、複数のメインランナー34、複数のカル35、連結ランナー36、複数のエアレント37、複数のポット38及び基板搭載領域39等を備えている。31~37の各構成部は上型30Aに設けられ、38~39の各構成部は下型に設けられている。キャビティ37及び基板搭載領域39の平面形状は基板20の平面形状に対応する平面形状で形成され、本実施形態においては例えば長方形で形成されている。キャビティ31は上型30Aの合わせ面から深さ方向に窪んでいる。基板搭載領域39は下型30Bの合わせ面から深さ方向に窪んでいる。

【0038】成形金型30において、樹脂は、ポット38からカル35、メインランナー34、サブランナー33及びゲート32を通してキャビティ31の内部に注入される。複数のゲート32は、キャビティ63の内部の全域にわたって樹脂が均一に充填されるように、キャビティ31の互いに対応する2つの長辺のうちの一方の長辺に沿って配置されている。従って、樹脂はキャビティ31の内部に、キャビティ31の一方の長辺側から他方の長辺側に向かって注入される。複数のエアレント37は、ゲート32が配置されたキャビティ31の一方の長辺を除いた3辺に沿って配置されている。

【0039】次に、本実施形態の半導体装置1Aの製造について、図9乃至図16を用いて説明する。図9、図10、図11及び図16は半導体装置の製造を説明するための模式的断面図であり、図12乃至図15はトランスファ・モールド一括方式で樹脂封止体を形成する時の樹脂の流れを示す図((A)は模式的平面図、(B)は模式的断面図)である。

【0040】まず、図3に示す基板20を準備する。次に、基板20の一主面20Xの各製品形成領域のチップ

10

20

30

40

50



搭載領域に例えばエポキシ系の熱硬化性樹脂からなる接着層12を形成し、その後、各チップ搭載領域に接着層12を介して半導体チップ10を搭載し、その後、熱処理を施して接着層12を硬化させて、図9(A)に示すように、各チップ搭載領域に半導体チップ10を接着固定する。この工程において、基板20は例えば150℃程度に加熱されるため、半導体チップ10の電極パッド11の表面及び基板20の接続部3の表面に自然酸化膜が形成される。また、樹脂膜4に含まれていた油脂分及び有機溶媒などの不純物がアウトガスとなって放出され、基板20の一主面2X、接続部3の表面及び電極パッド11の表面等が汚染される。

【0041】次に、図9(B)に示すように、半導体チップ10の電極パッド11の表面及び基板20の接続部3の表面に清浄処理を施して、これらの表面に残留する自然酸化膜や油脂分及び有機溶媒等の不純物を除去する。この清浄処理は、例えば酸素又はアルゴンガスを用いたブラズマクリーニング法で行う。

【0042】次に、図10(A)に示すように、半導体チップ10の電極パッド11と基板20の接続部3とをボンディングワイヤ13で電気的に接続する。この工程において、半導体チップ10の電極パッド11の表面及び基板20の接続部3の表面に残留する自然酸化膜や油脂分及び有機溶媒等の不純物が前段の清浄工程にて除去されているので、ワイヤボンディング工程の接続信頼性が向上する。また、この工程において、基板20は例えば125℃程度に加熱されるため、樹脂膜4に含まれていた油脂分及び有機溶媒等の不純物がアウトガスとなって放出され、基板20の一主面20X等が汚染される。また、この工程において、基板20の一主面20Xに複

数の半導体チップ10が実装される。

【0043】次に、図10(B)に示すように、基板20の一主面20に清浄処理を施して、基板20の一主面20Xに残留している油脂分及び有機等の不純物を除去する。この清浄処理は、酸素又はアルゴンガスを用いたブラズマクリーニング法で行う。ブラズマクリーニング法は、油脂分等の不純物を除去できると共に、基板20の一主面20Xの表面を粗面化することができる。

【0044】次に、図11に示すように、成形金型30の上型30Aと下型30Bとの間に基板20を位置決めし、基板20の一主面20X上に実装された複数の半導体チップ10を基板20と共に成形金型20のキャビティ31の内部に配置する。この時、基板20は下型30Bに設けられた基板搭載領域39に搭載される。

【0045】次に、ポット38から、カル35、メインランナー34、サブランナー33及びゲート32を通してキャビティ31の内部に例えばエポキシ系の熱硬化性樹脂を注入して、基板20の一主面20Xに実装された複数の半導体チップ10を一括封止する樹脂封止体24を形成する。

【0046】この工程において、図12に示すように、キャビティ31の内部の全域にわたって樹脂24Aが均一に充填されるように、キャビティ31の互いに対向する2つの長辺のうちの一方の長辺に沿って複数のゲート32が設けられているため、樹脂24Aは、キャビティ31の内部に基板20の一方の長辺側から他方の長辺側に向かって注入される。この時、半導体チップ10は、互いに対向する2つの辺が樹脂24Aの注入方向Sに対してほぼ直角に交差する配置となっている。

【0047】キャビティ31の内部に注入された樹脂24Aは、図12乃至図14に示すように基板20の一方の長辺側から他方の長辺側に向かって流れ、図15に示すようにキャビティ31の内部に充填される。

【0048】キャビティ31の内部に注入された樹脂24Aは、半導体チップ10の一主面10X及び側面に沿って流れる。半導体チップ10の一主面10X及び側面に沿って流れる樹脂24Aは半導体チップ10間に流れ込むが、半導体チップ10の一主面10Xに沿って流れる樹脂24Aは半導体チップ10の側面に沿って流れる樹脂24Aよりも流速が遅いため、半導体チップ10の一主面10Xに沿って流れる樹脂24Aと半導体チップ10の側面に沿って流れる樹脂24Aとが交わる所(図14参照)でボイド24Bが発生する。一方、基板20の一主面20に残留する油脂分等の不純物は前述の清浄工程において除去されており、更に基板20の一主面20Xは粗面化されているため、基板20の一主面20Xに対して樹脂24Aの濡れ性が向上している。このため、樹脂24Aの注入方向Sに対して半導体チップ10によって影となる所に半導体チップ10の側面に沿って流れる樹脂24Aが廻り込み易くなる。従って、半導体チップ10の一主面10Xに沿って流れる樹脂24Aと半導体チップ10の側面に沿って流れる樹脂24Aとが交わる所(図14参照)で発生したボイド24Bは基板20の一主面2Xから離間される。このように基板20の一主面2Xから離間したボイド24Bは、樹脂注入過程において樹脂24Aの流れによって移動し易くなるため、図15に示すように、半導体チップ10によって影となる所にはボイド24Bは残存しない。基板20の一主面20Xから離間したボイド24Bは樹脂24の流れによって移動しながら徐々に小さくなり、温度サイクル試験時においてポップコーン現象を起こさない程度まで小さくなる。

【0049】即ち、樹脂封止体24を形成する工程の前に、基板20の一主面20Xに清浄処理を施して、基板20の一主面20Xに残留する油脂分等の不純物を除去することにより、基板20の一主面20Xに対する樹脂24Aの濡れ性が向上し、半導体チップ10の側面に沿って流れる樹脂24Aが樹脂24Aの注入方向Sに対して半導体チップ10によって影となる所に廻り込み易くなるため、半導体チップ10の一主面10Xに沿って流

れる樹脂24Aと半導体チップ10の側面に沿って流れる樹脂24Aとが交わる個所に発生したボイド24Bは基板20の一主面20Xから排除される。

【0050】また、清浄処理をプラズマクリーニング法で行うことにより、基板20の一主面20Xに残留する油脂分等の不純物を除去することができると共に、基板20の一主面20Xの表面が粗面化されるので、基板20の一主面20Xに対する樹脂24Aの濡れ性が更に向上する。樹脂24Aの濡れ性は、流動する面に残留する油脂分等の不純物を除去することによって高くなり、また、流動する面を粗くすることによって高くなる。但し、当然ではあるが、粗面化による樹脂の濡れ性の向上には限度がある。

【0051】次に、図16(A)に示すように、基板20の裏面に配置された電極パッド5の表面上に突起状電極15を例えばボール供給法で形成し、その後、一括封止した樹脂封止体24がダイシングシート25と向かい合う状態でダイシングシート25に基板20を接着固定し、その後、図16(B)に示すように、ダイシング装置で樹脂封止体24及び基板20を各半導体チップ10

毎(各製品形成領域毎)に同時に分割する。この工程により、図1乃至図3に示す半導体装置1Aがほぼ完成する。このように、本実施形態によれば、以下の効果が得られる。

【0052】半導体装置1Aの製造方法において、基板20の一主面20X上に一主面20の一方の長辺側からこの一方の長辺と対向する他方の長辺側に向かって所定の間隔を置いて実装された複数の半導体チップ10を、基板20と共に成形金型30のキャビティ31の内部に配置し、その後、キャビティ31の内部に基板20の一主面20Xの一方の長辺側から他方の長辺側に向かって樹脂24Aを注入して、複数の半導体チップ10を一括封止する樹脂封止体24を形成する工程を備え、更に、樹脂封止体24を形成する工程の前に、基板20の一主面20Xに残留する不純物をプラズマクリーニング法にて除去する工程を備える。

【0053】これにより、基板20の一主面20Xに残留していた油脂分及び有機溶媒等の不純物を除去し、基板20の一主面20Xに樹脂24Aとの濡れ性が高い材料をより多く露出させ、または基板20の一主面20Xに微細な凹凸を有する状態にすることによって、樹脂24Aと基板20の一主面20Xとの濡れ性を高くし、樹脂24Aの注入に伴う流れによって、樹脂24A中のボイドの排除をより促進することができる。この結果、半導体装置1Aの歩留まりの向上を図ることができる。

【0054】なお、本実施形態では、一主面20Xに樹脂膜4を有する基板20を用いた例について説明したが、樹脂基板であれば一主面20Xに樹脂膜4を有さなくとも、製造工程における熱処理によって樹脂基板に含まれていた油脂分及び有機溶媒等の不純物がアウトガス

となって放出する。

【0055】また、本実施形態では、基板20としてガラエポ基板を用いた例について説明したが、本発明は基板20としてBT樹脂からなる基板を用いた場合においても有効である。

【0056】また、基板20として樹脂テープを用いた場合、樹脂封止体の硬化収縮によって反りが激しくなるので、フィラーの添加量を増加しなければならない。このような場合、樹脂の流動性が低下するため、ボイドが発生し易くなる。

【0057】(実施形態2)図17は本発明の実施形態2である半導体装置の模式的断面図である。図17に示すように、本実施形態の半導体装置1Bは、基本的に前述の実施形態1と同様の構成となっており、以下の構成が異なっている。

【0058】即ち、基板2の一主面2Xに接着層12を介在して半導体チップ10が接着固定され、半導体チップ10の一主面10に接着層42を介在して半導体チップ40が接着固定されている。半導体チップ42は半導体チップ10よりも小さい平面サイズで形成されている。半導体チップ42の一主面に配置された電極パッド41は、基板20の一主面20Xに形成された接続部3にボンディングワイヤ43を介して電氣的に接続されている。半導体チップ10及び42は樹脂封止体14によって封止されている。

【0059】以下、半導体装置1Bの製造について、図18及び図19を用いて説明する。図18及び図19は半導体装置の製造を説明するための模式的断面図である。

【0060】まず、基板20を準備し、その後、基板20の一主面20Xの各製品形成領域のチップ搭載領域に例えばエポキシ系の熱硬化性樹脂からなる接着層12を形成し、その後、チップ搭載領域に接着層12を介在して半導体チップ10を搭載し、その後、熱処理を施して接着層12を硬化させて、チップ搭載領域に半導体チップ10を接着固定する。この工程において、基板20は例えば180℃程度に加熱されるため、半導体チップ10の電極パッド11の表面及び基板20の接続部3の表面に自然酸化膜が形成される。また、樹脂膜4に含まれていた油脂分及び有機溶媒などの不純物がアウトガスとなって放出され、基板20の一主面、接続部3の表面及び電極パッド11の表面等が汚染される。

【0061】次に、各半導体チップ10の一主面10Xに例えばエポキシ系の熱硬化性樹脂からなる接着層42を形成し、その後、半導体チップ10の一主面10Xに接着層42を介在して半導体チップ40を搭載し、その後、熱処理を施して接着層42を硬化させて、図18

(A)に示すように、半導体チップ10に半導体チップ42を接着固定する。この工程において、基板20は例えば180℃程度に加熱されるため、半導体チップ10の電極パッド11の表面及び基板20の接続部3の表面

に自然酸化膜が形成される。また、樹脂膜4に含まれていた油脂分などの不純物がアウトガスとなって放出され、基板20の一主面、接続部3の表面及び電極パッド11の表面等が汚染される。

【0062】次に、図18(B)に示すように、酸素又はアルゴンガスを用いたプラズマクリーニング法にて、半導体チップ10及び42の電極パッド(11, 41)の表面及び基板20の接続部3の表面に残留している不純物を除去する。

【0063】次に、図19(A)に示すように、半導体チップ10の電極パッド11と基板20の接続部3とをボンディングワイヤ13で電気的に接続すると共に、半導体チップ40の電極パッド41と基板20の接続部3とをボンディングワイヤ13で電気的に接続する。この工程において、基板20は例えば125℃程度に加熱されるため、樹脂膜4に含まれていた油脂分などの不純物がアウトガスとなって放出され、基板20の一主面等が汚染される。

【0064】次に、図19(B)に示すように、酸素又はアルゴンガスを用いたプラズマクリーニング法にて、基板20の一主面20Xに残留している不純物を除去する。この工程において、プラズマクリーニング法は、基板20の一主面20Xを粗面化することができるので、不純物の除去及び基板20の一主面20Xの粗面化を行うことができる。

【0065】次に、前述の実施形態と同様に、成形金型30の上型30Aと下型30Bとの間に基板20を位置決めし、基板20の一主面20X上に実装された複数の半導体チップ10と、各半導体チップ10に夫々積層された複数の半導体チップ40とを、基板20と共に成形金型20のキャビティ31の内部に配置し、その後、ボット38から、カル35、メインランナー34、サブランナー33及びゲート32を通してキャビティ31の内部に樹脂を注入して、基板20の一主面20Xに実装された複数の半導体チップ10及び40を一括封止する樹脂封止体を形成する。

【0066】この後、前述の実施形態1と同様の工程を施すことにより、図17に示す半導体装置1Bが形成される。本実施形態の半導体装置1Bの製造において、基板20の一主面20X上に2つの半導体チップ(10, 40)が積層されているので、樹脂24Aの注入方向Sに対して半導体チップ10及び40によって影となる部分にボイドが発生し易いが、樹脂封止体を形成する工程の前に、基板20の一主面20Xにプラズマクリーニング法で清浄処理を施すことにより、前述の実施形態1と同様の効果が得られる。

【0067】(実施形態3) 図20は本発明の実施形態3である半導体装置の模式的断面図である。図20に示すように、本実施形態の半導体装置1Cは、基本的に前述の実施形態2と同様の構成となっており、以下の構成

が異なっている。

【0068】即ち、基板20の一主面20Xに突起状電極53を介して半導体チップ50が実装され、半導体チップ50の一主面と対向する他の主面(裏面)に接着層12を介して半導体チップ10が接着固定されている。半導体チップ50はその一主面に配置された電極パッド50は、基板20の一主面20Xに配置された電極パッド3Aに突起状電極53を介して電気的に接続されている。半導体チップ50と基板20の間には、例えばエポキシ系の熱硬化性樹脂52が充填されている。半導体チップ10の電極パッド11は、ボンディングワイヤ13を介して基板20の接続部3に電気的に接続されている。半導体チップ50及び10は樹脂封止体2によって封止されている。

【0069】以下、半導体装置1Cの製造について、図21及び図22を用いて説明する。図21及び図22は半導体装置の製造を説明するための模式的断面図である。

【0070】まず、基板20を準備し、その後、基板20の一主面20Xの各製品形成領域のチップ搭載領域に配置された電極パッド3Aと半導体チップ50の一主面に配置された電極パッド51との間に突起状電極53を介在した状態で突起状電極53を溶融して、基板20の一主面の各製品形成領域に半導体チップ51を実装する。この工程において、基板20は例えば205℃程度に加熱されるため、基板20の接続部3の表面に自然酸化膜が形成される。また、樹脂膜4に含まれていた油脂分及び有機溶媒などの不純物がアウトガスとなって放出され、基板20の一主面、接続部3の表面等が汚染される。

【0071】次に、半導体チップ50と基板20の間に例えばエポキシ系の熱硬化性樹脂52を充填し、その後、熱処理を施して熱硬化性樹脂52を硬化させる。この工程において、基板20は例えば150℃程度に加熱されるため、基板20の接続部3の表面に自然酸化膜が形成される。また、樹脂膜4に含まれていた油脂分及び有機溶媒などの不純物がアウトガスとなって放出され、基板20の一主面、接続部3の表面等が汚染される。

【0072】次に、各半導体チップ50の裏面に例えばエポキシ系の熱硬化性樹脂からなる接着層42を形成し、その後、半導体チップ50の裏面に接着層10を介在して半導体チップ10を搭載し、その後、熱処理を施して接着層10を硬化させて、図21(A)に示すように、半導体チップ10に半導体チップ42を接着固定する。この工程において、基板20は例えば180℃程度に加熱されるため、半導体チップ10の電極パッド11の表面及び基板20の接続部3の表面に自然酸化膜が形成される。また、樹脂膜4に含まれていた油脂分などの不純物がアウトガスとなって放出され、基板20の一主面、接続部3の表面及び電極パッド11の表面等が汚染される。

【0073】次に、図21(B)に示すように、酸素又はアルゴンガスを用いたプラズマクリーニング法にて、半導体チップ10の電極パッド11の表面及び基板20の接続部3の表面に残留している不純物を除去する。

【0074】次に、図22(A)に示すように、半導体チップ10の電極パッド11と基板20の接続部3とをボンディングワイヤ13で電氣的に接続する。この工程において、基板20は例えば125℃程度に加熱されるため、樹脂膜4に含まれていた油脂分などの不純物がアウトガスとなって放出され、基板20の一主面等が汚染される。

【0075】次に、図22(B)に示すように、酸素又はアルゴンガスを用いたプラズマクリーニング法にて、基板20の一主面20Xに残留している不純物を除去する。この工程において、プラズマクリーニング法は、基板20の一主面20Xを粗面化することができるので、不純物の除去及び基板20の一主面20Xの粗面化を行うことができる。

【0076】次に、前述の実施形態と同様に、成形金型30の上型30Aと下型30Bとの間に基板20を位置決めし、基板20の一主面20X上に実装された複数の半導体チップ50と、各半導体チップ50に夫々積層された複数の半導体チップ10とを、基板20と共に成形金型20のキャビティ31の内部に配置し、その後、ポット38から、カル35、メインランナー34、サブランナー33及びゲート32を通してキャビティ31の内部に樹脂を注入して、基板20の一主面20Xに実装された複数の半導体チップ50及び10を一括封止する樹脂封止体を形成する。

【0077】この後、前述の実施形態1と同様の工程を施すことにより、図20に示す半導体装置1Cが形成される。本実施形態の半導体装置1Cの製造において、基板20の一主面20X上に2つの半導体チップ(50, 10)が積層されているので、樹脂24Aの注入方向Sに対して半導体チップ50及び10によって影となる部分にボイドが発生し易いが、樹脂封止体を形成する工程の前に、基板20の一主面20Xにプラズマクリーニング法で洗浄処理を施すことにより、前述の実施形態1と同様の効果が得られる。

【0078】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。例えば、本発明は、CSP構造の半導体装置の製造技術に適用することができる。また、本発明は、基板上に複数の半導体チップを実装したMCM構造の半導体装置の製造技術に適用することができる。

【0079】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下

記のとおりである。本発明によれば、半導体装置の歩留まりの向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1である半導体装置の概略構成を示す図((A)は樹脂封止体を除去した状態の模式的平面図、(B)は(A)のa-a線に沿う模式的断面図)である。

【図2】図1(B)の一部を拡大した模式的断面図である。

【図3】実施形態1である半導体装置の製造に用いられる基板(分割用基板)の模式的平面図である。

【図4】図3の一部を拡大した模式的断面図である。

【図5】図4のb-b線に沿う模式的断面図である。

【図6】実施形態1である半導体装置の製造に用いられる成形金型の上型の概略構成を示す模式的平面図である。

【図7】実施形態1である半導体装置の製造に用いられる成形金型の下型の概略構成を示す模式的平面図である。

【図8】実施形態1である半導体装置の製造に用いられる成形金型の概略構成を示す模式的断面図である。

【図9】(A)、(B)は実施形態1である半導体装置の製造を説明するための模式的断面図である。

【図10】(A)、(B)は実施形態1である半導体装置の製造を説明するための模式的断面図である。

【図11】実施形態1である半導体装置の製造を説明するための模式的断面図である。

【図12】実施形態1である半導体装置の製造において、樹脂封止工程を説明するための図((A)は模式的平面図、(B)は模式的断面図)である。

【図13】実施形態1である半導体装置の製造において、樹脂封止工程を説明するための図((A)は模式的平面図、(B)は模式的断面図)である。

【図14】実施形態1である半導体装置の製造において、樹脂封止工程を説明するための図((A)は模式的平面図、(B)は模式的断面図)である。

【図15】実施形態1である半導体装置の製造において、樹脂封止工程を説明するための図((A)は模式的平面図、(B)は模式的断面図)である。

【図16】(A)、(B)は実施形態1である半導体装置の製造を説明するための模式的断面図である。

【図17】本発明の実施形態2である半導体装置の概略構成を示す模式的断面図である。

【図18】(A)、(B)は実施形態2である半導体装置の製造を説明するための模式的断面図である。

【図19】(A)、(B)は実施形態2である半導体装置の製造を説明するための模式的断面図である。

【図20】本発明の実施形態3である半導体装置の概略構成を示す模式的断面図である。

【図21】(A)、(B)は実施形態3である半導体装

19

置の製造を説明するための模式的断面図である。

【図22】実施形態3である半導体装置の製造を説明するための模式的断面図である。

【図23】従来の半導体装置の製造において、樹脂封止工程を説明するための図（（A）は模式的平面図、

（B）は模式的断面図）である。

【図24】従来の半導体装置の製造において、樹脂封止工程を説明するための図（（A）は模式的平面図、

（B）は模式的断面図）である。

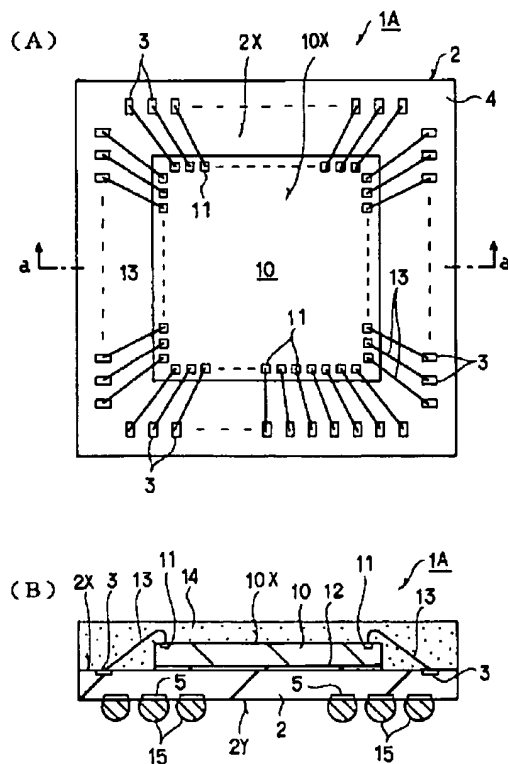
【図25】従来の半導体装置の製造において、樹脂封止工程を説明するための図（（A）は模式的平面図、

（B）は模式的断面図）である。

【図26】従来の半導体装置の製造において、樹脂封止\*

【図1】

図1



20

\*工程を説明するための図（（A）は模式的平面図、

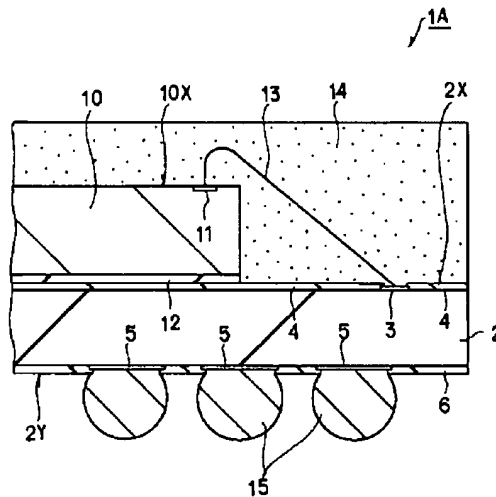
（B）は模式的断面図）である。

【符号の説明】

1A, 1B, 1C…半導体装置、2, 20…基板、3…接続部、4, 6…樹脂層、5…電極パッド、10…半導体チップ、11…電極パッド、12…接着層、13…ボンディングワイヤ、14…樹脂封止体、21…樹脂封止体形成領域、22…製品形成領域、23…チップ搭載領域、30…成形金型、32…キャビティ、33…ゲート、33…サブランナー、34…メインランナー、35…カル、36…連結ランナー、37…エアーベント、38…ポット、39…基板搭載領域。

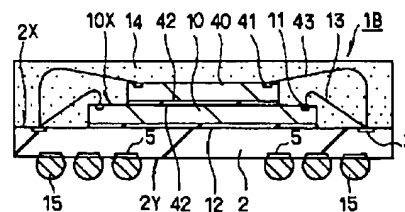
【図2】

図2



【図17】

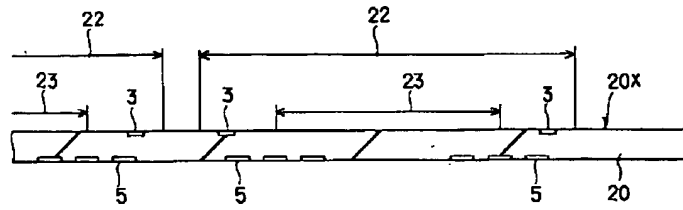
図17





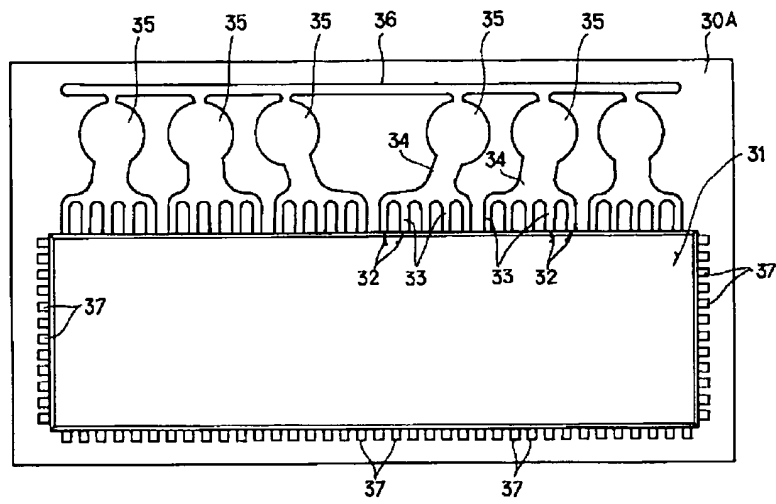
【図5】

図5



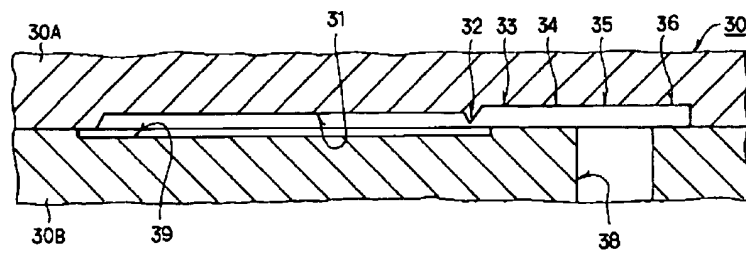
【図6】

図6



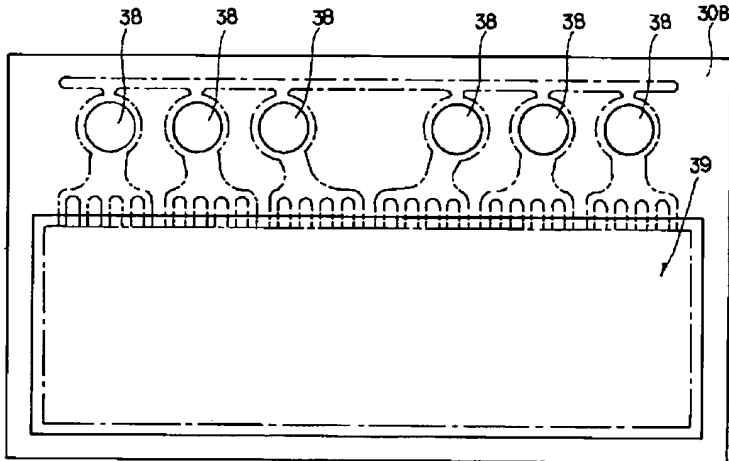
【図8】

図8



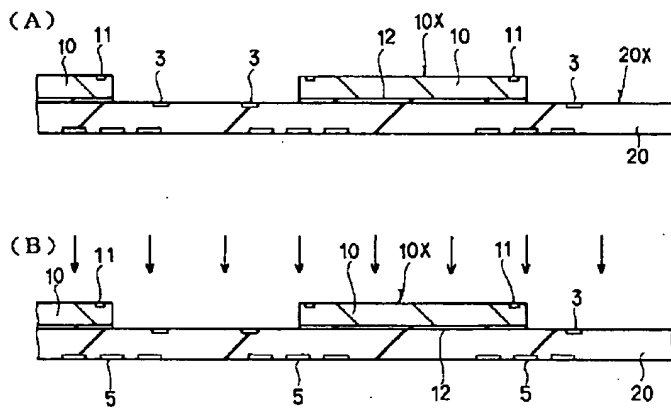
【図7】

図7



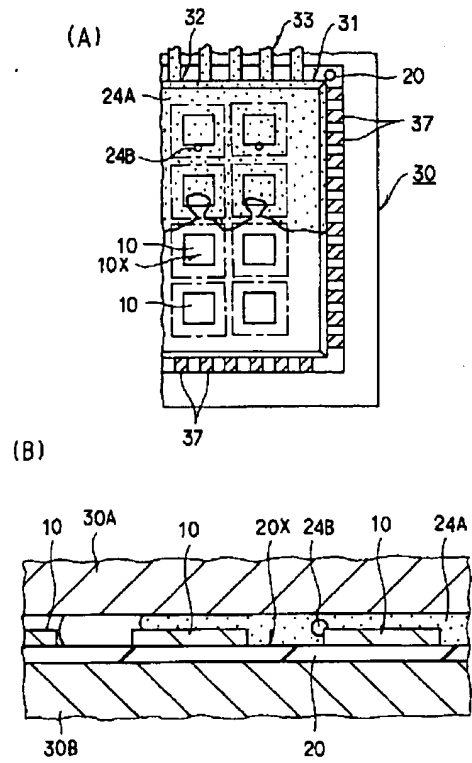
【図9】

図9



【図14】

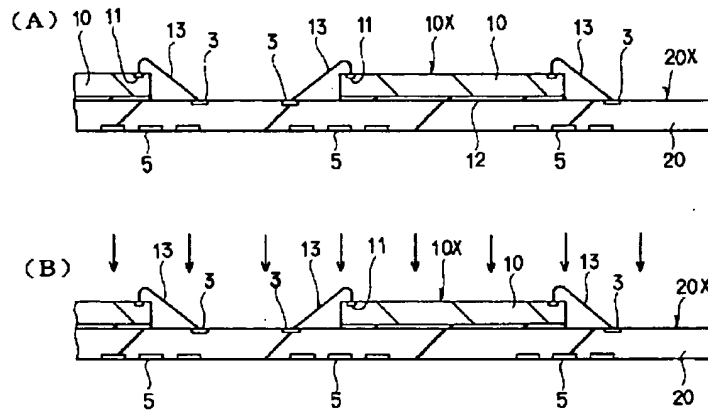
図14





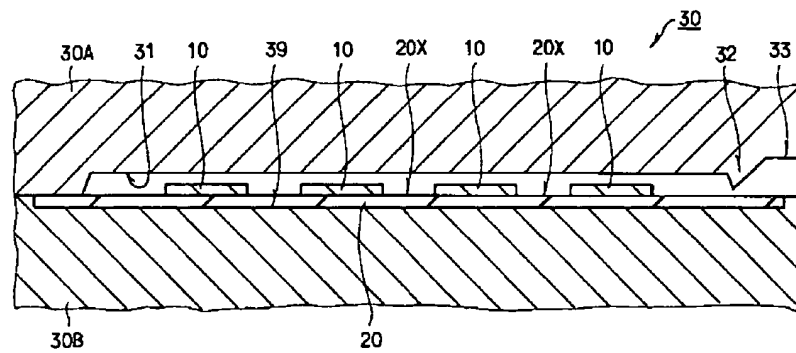
【図10】

図10



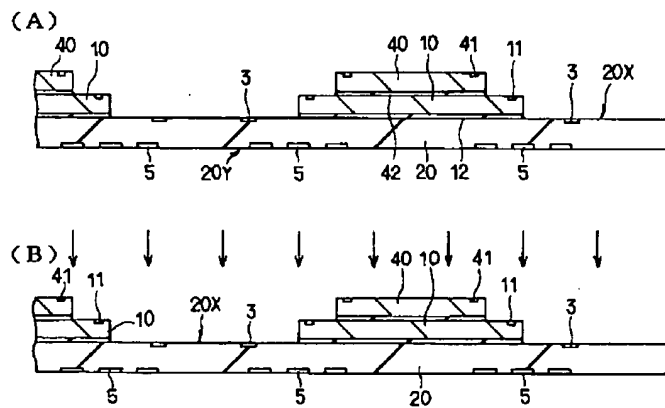
【図11】

図11

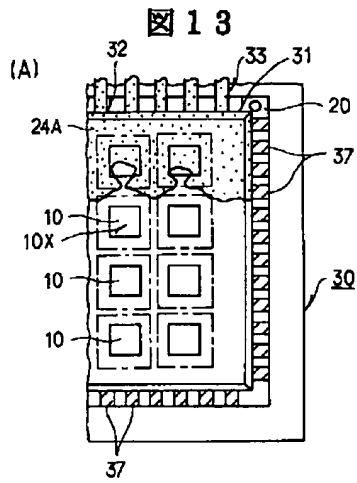


【図18】

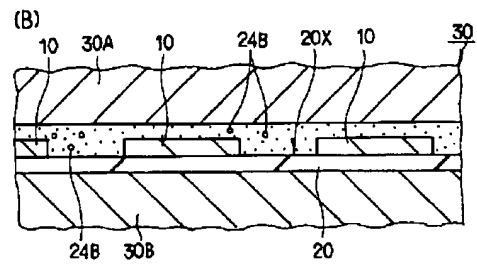
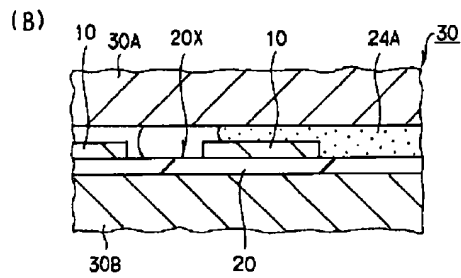
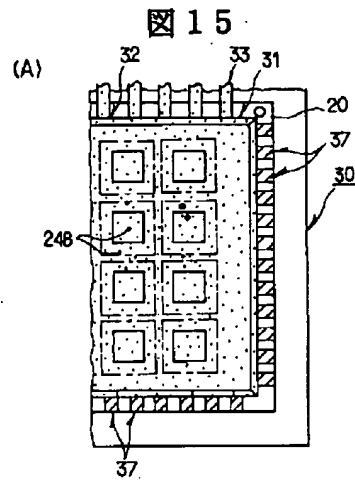
図18



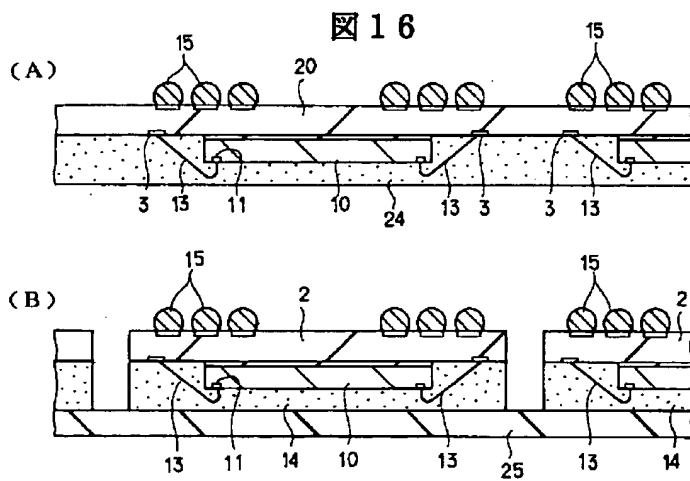
【図13】



【図15】



【図16】



【圖24】

图 24

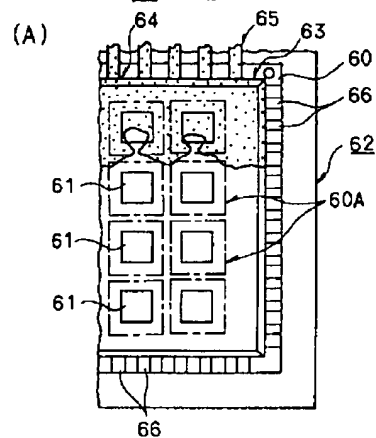
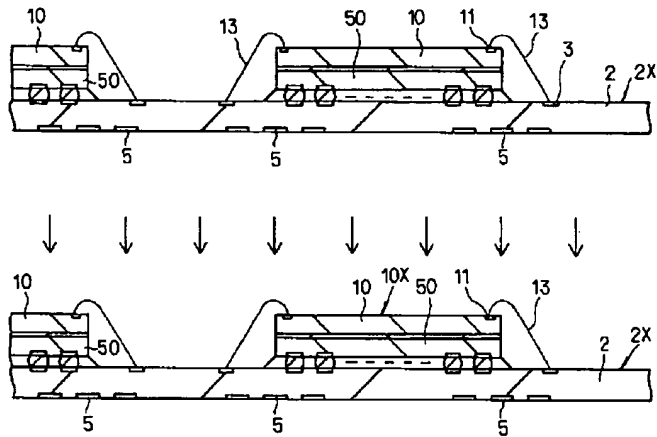


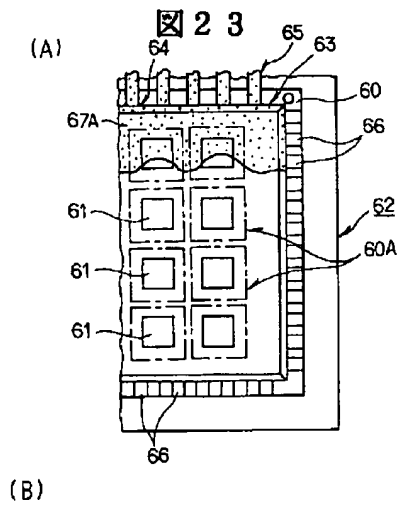
Diagram (B) shows a cross-sectional view of a semiconductor device. It features a substrate 60 with a central layer 63. Above layer 63, there is a layer 61 containing two rectangular regions 60X. A layer 62 is positioned above layer 61, with a portion 62A located over the first 60X region and a portion 67A over the second 60X region. A layer 62B is located below layer 63. A label 62 is also present on the right side of the diagram.

【図22】

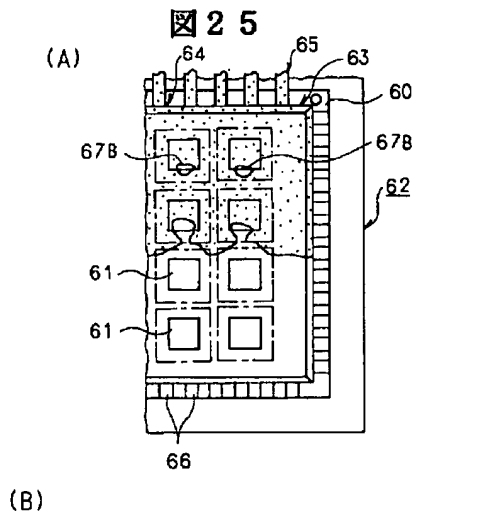
図22



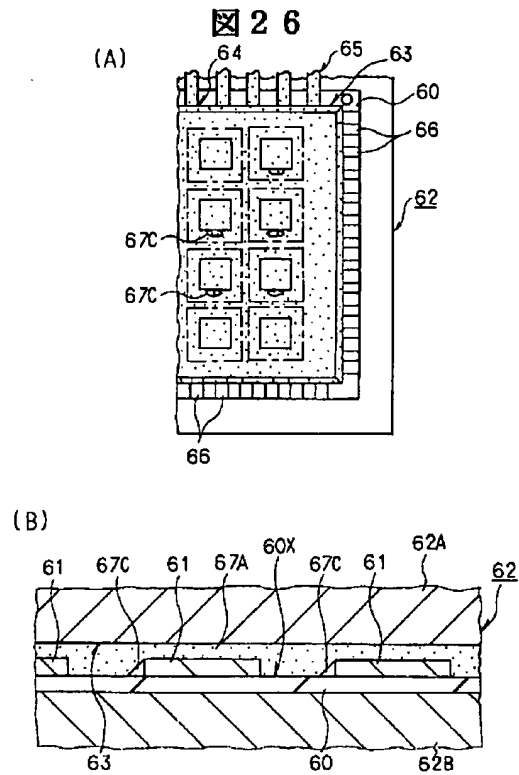
【図23】



【図25】



【図26】



フロントページの続き

(72)発明者 葛西 紀彦  
 北海道亀田郡七飯町字中島145番地 日立  
 北海セミコンダクタ株式会社内

Fターム(参考) 5F061 AA01 BA03 CA21 CB02 CB12  
 CB13

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成17年2月24日(2005.2.24)

【公開番号】特開2002-110721(P2002-110721A)  
 【公開日】平成14年4月12日(2002.4.12)  
 【出願番号】特願2000-301952(P2000-301952)  
 【国際特許分類第7版】

H 0 1 L 21/56  
 H 0 1 L 25/065  
 H 0 1 L 25/07  
 H 0 1 L 25/18

【F I】

H 0 1 L 21/56 T  
 H 0 1 L 25/08 B

【手続補正書】

【提出日】平成16年3月16日(2004.3.16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

主面と、前記主面の反対側の裏面と、所定の間隔をおいて行列状に配置された複数の製品形成領域と、前記製品形成領域のそれぞれに形成された複数の接続部とを有する基板を準備する工程と、

主面と、前記主面の反対側の裏面と、前記主面上に形成された複数の電極パッドをそれぞれ有する複数の半導体チップと、

前記複数の半導体チップをそれぞれ対応する前記製品形成領域に搭載する工程と、

前記複数の半導体チップを搭載する工程の後に、前記基板の主面をプラズマによって処理する工程と、

キャビティを有する成形金型を準備する工程と、

前記プラズマによって処理する工程の後に、前記複数の半導体チップが、前記キャビティ内部に配置され、かつ前記複数の製品形成領域が前記キャビティと対向するように、前記基板を前記成形金型の中に配置する工程と、

前記基板を配置する工程の後に、前記キャビティ内部に樹脂を注入することによって、前記複数の半導体チップと前記複数の製品形成領域を一括で封止する樹脂封止体を形成する工程と、

前記樹脂封止体を形成する工程の後に、前記樹脂封止体と前記基板を、前記複数の製品形成領域の外周に沿って切断する工程とを有し、

前記キャビティは、互いに向かい合う2つの側面と、前記2つの側面のうちの一方に形成された複数のゲートと、前記2つの側面のうちの他の一方に形成された複数のエアバントとを有し、

前記樹脂封止体を形成する工程において、前記樹脂は前記複数のゲートから前記複数のエアバントに向かって注入されることを特徴とする半導体装置の製造方法。

【請求項2】

請求項1に記載の半導体装置の製造方法であって、

前記プラズマによって処理する工程において、前記基板の主面に残留する不純物を除去す

ることを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 1 又は請求項 2 に記載の半導体装置の製造方法であって、  
前記プラズマによって処理する工程において、  
前記基板は主面を粗面化することを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 1 乃至請求項 3 のうちの何れか一項に記載の半導体装置の製造方法であって、  
前記基板は樹脂を含むことを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 1 乃至請求項 4 のうちの何れか一項に記載の半導体装置の製造方法であって、  
前記樹脂封止体は複数のフィラーを含むことを特徴とする半導体装置の製造方法。

【請求項 6】

請求項 5 に記載の半導体装置の製造方法であって、  
前記樹脂封止体において、前記複数のフィラーが占める体積比は 80 パーセント以上であることを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 5 乃至請求項 6 のうちの何れか一項に記載の半導体装置の製造方法であって、  
前記複数のフィラーは、シリカフィラーを含むことを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 1 乃至請求項 7 のうちの何れか一項に記載の半導体装置の製造方法であって、  
前記複数の半導体チップを搭載する工程において、前記複数の半導体チップのそれぞれの複数の電極パッドを、対応する前記製品形成領域の複数の接続部と電気的に接続することを特徴とする半導体装置の製造方法。

【請求項 9】

請求項 1 乃至請求項 8 のうちの何れか一項に記載の半導体装置の製造方法であって、  
前記複数の半導体チップを搭載する工程において、前記基板を熱処理することを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 1 乃至請求項 9 のうちの何れか一項に記載の半導体装置の製造方法であって、  
前記樹脂封止体を形成する工程において、前記複数の製品形成領域と前記複数のエアベントとの間に、前記製品形成領域外の領域を有し、前記製品形成領域外の領域の幅が、前記複数の製品形成領域同士の間隔の幅に比較して大きいことを特徴とする半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】図 4

【補正方法】変更

【補正の内容】

【図 4】図 3 の一部を拡大した模式的平面図である。